



DT07 Rec'd PCT/PTO 30 SEP 2004 PCT

BEST AVAILABLE COPY

Atty. Dkt. No. 029471-0168

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant: Hiroyuki TAKAHASHI, et al.

Title: SEMICONDUCTOR MEMORY DEVICE AND SEMICONDUCTOR
MEMORY DEVICE CONTROL METHOD

Appl. No.: 10/507,117

Filing Date: 9/10/2004

Examiner: Unassigned

Art Unit: Unassigned

CLAIM FOR CONVENTION PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed.

In support of this claim, filed herewith is a certified copy of said original foreign application:

- JAPAN Patent Application No. 2002-072953 filed 3/15/2002.

Respectfully submitted,

Date September 30, 2004

By Phillip J. Artiola

Reg. No.
38,819

FOLEY & LARDNER LLP
Customer Number: 22428
Telephone: (202) 672-5407
Facsimile: (202) 672-5399

for / David A. Blumenthal
Attorney for Applicant
Registration No. 26,257

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 3 月 1 5 日
Date of Application:

出 願 番 号 特 願 2 0 0 2 - 0 7 2 9 5 3
Application Number:
[ST. 10/C]: [J P 2 0 0 2 - 0 7 2 9 5 3]

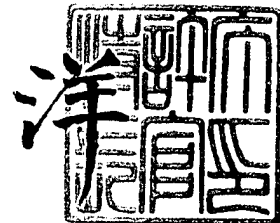
出 願 人 N E C エレクトロニクス株式会社
Applicant(s):

CERTIFIED COPY OF
PRIORITY DOCUMENT

2 0 0 4 年 9 月 8 日

特許庁長官
Commissioner,
Japan Patent Office

小 川



出証番号 出証特 2 0 0 4 - 3 0 8 0 6 6 3

【書類名】 特許願

【整理番号】 75010407

【提出日】 平成14年 3月15日

【あて先】 特許庁長官 殿

【国際特許分類】 G11C 11/00
G11C 11/407
G06F 1/32

【発明者】

【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

【氏名】 高橋 弘行

【発明者】

【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

【氏名】 廣田 卓哉

【発明者】

【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

【氏名】 中川 敦

【特許出願人】

【識別番号】 000004237

【氏名又は名称】 日本電気株式会社

【代理人】

【識別番号】 100080816

【弁理士】

【氏名又は名称】 加藤 朝道

【電話番号】 045-476-1131

【手数料の表示】

【予納台帳番号】 030362

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9304371

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 遅延回路と半導体記憶装置及び遅延方法と半導体記憶装置の制御方法

【特許請求の範囲】

【請求項 1】

ソースが第 1 の電源に接続される第 1 の MOS トランジスタと、ソースが第 2 の電源に接続され、ゲートが前記第 1 の MOS トランジスタのゲートと共通接続されて入力端に接続され、ドレインが前記第 1 の MOS トランジスタのドレインと共通接続されて出力端に接続され、前記第 1 の MOS トランジスタと導電型が異なる第 2 の MOS トランジスタと、を有するインバータと、

前記インバータの出力端に一端が接続されている抵抗と、

前記抵抗の他端と前記第 1 又は第 2 の電源との間に接続された MOS キャパシタと、

を含む回路ユニットを少なくとも 1 つ備えている、ことを特徴とする遅延回路

。

【請求項 2】

前記 MOS キャパシタは、前記 MOS キャパシタの一端が接続される前記抵抗の他端の電圧の、前記第 1 又は第 2 の電源の電源電圧のうち前記 MOS キャパシタの他端が接続されている一方の電源の電源電圧側から他方の電源の電源電圧側への遷移により、容量値が小から大に変化する、ことを特徴とする請求項 1 に記載の遅延回路。

【請求項 3】

前記 MOS キャパシタには、前記抵抗の他端の電圧の、前記第 1 又は第 2 の電源の電源電圧のうち前記 MOS キャパシタが接続されている一の電源の電源電圧側から他の電源の電源電圧側への遷移に従って、空乏層や反転層が形成される、ことを特徴とする請求項 1 に記載の遅延回路。

【請求項 4】

前記回路ユニットが複数段縦続形態に接続されており、

初段の前記回路ユニットの前記インバータの入力端に入力信号が入力され、

最終段の前記回路ユニットの前記インバータの出力端に一端が接続される前記抵抗の他端と前記MOSキャパシタとの接続点から出力信号が取り出され、

複数段の前記回路ユニットにおいて、相隣る段の前記回路ユニットのMOSキャパシタは、それぞれ、前記第1の電源と前記第2の電源とに交互に接続されている、ことを特徴とする請求項1に記載の遅延回路。

【請求項5】

前記インバータにおいて、前記第1及び第2のMOSトランジスタのうち少なくとも1つのMOSトランジスタの閾値電圧が、前記1つのMOSトランジスタと同一導電型の通常のMOSトランジスタの閾値電圧よりもその大きさが小さく設定されている、ことを特徴とする請求項1に記載の遅延回路。

【請求項6】

1つ又は複数段縦続形態に接続されるインバータを含む遅延回路において、前記インバータの出力端に一端が接続される抵抗と、前記抵抗の他端と高位側又は低位側電源との間に接続された容量素子と、を前記インバータのそれぞれに備え、前記容量素子は、前記容量素子の一端が接続される前記抵抗の他端の電圧の、前記高位側又は低位側電源の電源電圧のうち前記容量素子の他端が接続される一方の電源の電源電圧側から他方の電源の電源電圧側への遷移により、容量値が小から大に変化する、ことを特徴とする遅延回路。

【請求項7】

入力信号を入力端から入力する第1のインバータと、前記第1のインバータの出力端に一端が接続されている第1の抵抗と、前記第1の抵抗の他端と第1の電源とに一端と他端がそれぞれ接続され、前記第1の抵抗の他端に接続される前記一端の電圧の遷移に応じて容量値が変化する第1の容量素子と、前記第1の抵抗と前記第1の容量素子との接続点が入力端に接続された第2のインバータと、前記第2のインバータの出力端に一端が接続されている第2の抵抗と、

前記第 2 の抵抗の他端と第 2 の電源とに一端と他端がそれぞれ接続され、前記第 2 の抵抗の他端に接続される前記一端の電圧の遷移に応じて容量値が変化する第 2 の容量素子と、

を含み、

前記第 2 の抵抗と前記第 2 の容量素子との接続点を遅延信号の出力端とし、前記出力端からは、前記入力信号の遷移エッジを同相で遅延させた出力信号が出力される、ことを特徴とする遅延回路。

【請求項 8】

前記第 1 の容量素子は、前記第 1 の抵抗の他端に接続される前記一端の電圧が、前記第 1 の電源電圧側から前記第 2 の電源電圧側へ遷移するとき、その容量値が小から大に変化し、

前記第 2 の容量素子は、前記第 2 の抵抗の他端に接続される前記一端の電圧が、前記第 2 の電源電圧側から前記第 1 の電源電圧側へ遷移するとき、その容量値が小から大に変化する、ことを特徴とする請求項 7 に記載の遅延回路。

【請求項 9】

前記第 1 の抵抗の他端と前記第 2 の電源とに一端と他端がそれぞれ接続され、前記第 1 の抵抗の他端に接続される前記一端の電圧の遷移に応じて容量値が変化する第 3 の容量素子と、

前記第 2 の抵抗の他端と前記第 1 の電源とに一端と他端がそれぞれ接続され、前記第 2 の抵抗の他端に接続される前記一端の電圧の遷移に応じて容量値が変化する第 4 の容量素子と、

を備えている、ことを特徴とする請求項 7 に記載の遅延回路。

【請求項 10】

前記第 3 の容量素子は、前記第 1 の抵抗の他端に接続される前記一端の電圧が、前記第 2 の電源電圧側から前記第 1 の電源電圧側へ遷移するとき、容量値が小から大に変化し、

前記第 4 の容量素子は、前記第 2 の抵抗の他端に接続される前記一端の電圧が、前記第 1 の電源電圧側から前記第 2 の電源電圧側へ遷移するとき、容量値が小から大に変化する、ことを特徴とする請求項 9 に記載の遅延回路。

【請求項 1 1】

前記第 1 の容量素子が MOS キャパシタよりなり、

前記第 1 の容量素子をなす前記 MOS キャパシタは、前記第 1 の抵抗の他端の電圧が、前記第 1 の電源電圧側から第 2 の電源電圧側へ遷移するとき、反転状態に変化し、

前記第 2 の容量素子が MOS キャパシタよりなり、

前記第 2 の容量素子をなす前記 MOS キャパシタは、前記第 2 の抵抗の他端の電圧が、前記第 2 の電源電圧側から前記第 1 の電源電圧側へ遷移するとき、反転状態に変化する、ことを特徴とする請求項 7 に記載の遅延回路。

【請求項 1 2】

前記第 3 の容量素子が MOS キャパシタよりなり、

前記第 3 の容量素子をなす前記 MOS キャパシタは、前記第 1 の抵抗の他端の電圧が、前記第 2 の電源電圧側から第 1 の電源電圧側へ遷移するとき、反転状態に変化し、

前記第 4 の容量素子が MOS キャパシタよりなり、

前記第 4 の容量素子をなす前記 MOS キャパシタは、前記第 2 の抵抗の他端の電圧が、前記第 1 の電源電圧側から前記第 2 の電源電圧側へ遷移するとき、反転状態に変化する、ことを特徴とする請求項 9 に記載の遅延回路。

【請求項 1 3】

前記第 1 の電源と前記第 1 の抵抗の他端との間に挿入され、前記第 1 のインバータの入力端に制御端子が接続されている第 1 のスイッチを有するリセット回路を備えている、ことを特徴とする請求項 7 に記載の遅延回路。

【請求項 1 4】

前記第 1 のインバータの入力端に入力端が接続された第 3 のインバータと、

前記第 2 の抵抗の他端と前記第 2 の電源間に挿入され、前記第 3 のインバータの出力端に制御端子が接続されている第 2 のスイッチと、

を有するリセット回路を備えている、ことを特徴とする請求項 7 又は 1 3 に記載の遅延回路。

【請求項 1 5】

前記第 1 の電源と前記第 1 のインバータの給電端子との間に挿入され、リセット用の制御信号が第 1 の論理値のときオンする第 3 のスイッチと、

前記第 1 のインバータの出力端と前記第 2 の電源間に挿入され、前記制御信号が第 2 の論理値のときオンする第 4 のスイッチと、

前記第 2 のインバータの給電端子と前記第 2 の電源間に挿入され、前記制御信号が第 1 の論理値のときオンする第 5 のスイッチと、

を備えている、ことを特徴とする請求項 9 に記載の遅延回路。

【請求項 16】

ソースが第 1 の電源に接続された第 1 導電型の第 1 の MOS トランジスタと、ソースが第 2 の電源に接続され、ゲートが前記第 1 の MOS トランジスタのゲートと共通接続されて入力端に接続され、ドレインが前記第 1 の MOS トランジスタのドレインと共通接続されて出力端に接続されてなる第 2 導電型の第 2 の MOS トランジスタとからなる第 1 のインバータと、

前記第 1 のインバータの出力端に一端が接続されている第 1 の抵抗と、

前記第 1 の抵抗の他端と前記第 1 の電源間に接続された第 1 導電型の MOS キャパシタよりなる第 1 の容量と、

ソースが前記第 1 の電源に接続された第 1 導電型の第 3 の MOS トランジスタと、ソースが前記第 2 の電源に接続され、ゲートが前記第 3 の MOS トランジスタのゲートと共通接続されて入力端に接続され、ドレインが前記第 1 の MOS トランジスタのドレインと共通接続されて出力端に接続されてなる第 2 導電型の第 4 の MOS トランジスタとからなる第 2 のインバータと、

を備え、

前記第 1 の抵抗と前記第 1 の容量との接続点が前記第 2 のインバータの入力端に接続されており、

前記第 2 のインバータの出力端に一端が接続されている第 2 の抵抗と、

前記第 2 の抵抗の他端と前記第 2 の電源間に接続された第 2 導電型の MOS トランジスタよりなる第 2 の容量と、

を備え、

前記第 1 のインバータの入力端を信号入力端とし、前記第 2 の抵抗と前記第 2

の容量との接続点を信号出力端としてなる、ことを特徴とする遅延回路。

【請求項 17】

前記第1のインバータの入力端にゲートが接続され、ソースが前記第1の電源に接続され、ドレインが前記第1の抵抗の他端に接続された第1導電型の第4のMOSトランジスタを備えている、ことを特徴とする請求項16に記載の遅延回路。

【請求項 18】

前記第1のインバータの入力端にゲートが接続された第3のインバータと、
前記第3のインバータの出力端にゲートが接続され、ソースが前記第2の電源に接続され、ドレインが前記第2の抵抗の他端に接続された第2導電型の第5のMOSトランジスタと、
を備えている、ことを特徴とする請求項16又は17に記載の遅延回路。

【請求項 19】

ソースが第1の電源に接続された第1導電型の第1のMOSトランジスタと、
ソースが第2の電源に接続され、ゲートが前記第1のMOSトランジスタのゲートと共通接続されて入力端に接続され、ドレインが前記第1のMOSトランジスタのドレインと共通接続されて出力端に接続されてなる第2導電型の第2のMOSトランジスタとからなる第1のインバータと、

前記第1のインバータの出力端に一端が接続されている第1の抵抗と、

前記抵抗の他端と前記第1の電源間に接続された第1導電型のMOSキャパシタよりなる第1の容量と、

ソースが第1の電源に接続された第1導電型の第3のMOSトランジスタと、
ソースが前記第2の電源に接続され、ゲートが前記第3のMOSトランジスタのゲートと共通接続されて入力端に接続され、ドレインが前記第1のMOSトランジスタのドレインと共通接続されて出力端に接続されてなる第2導電型の第4のMOSトランジスタとからなる第2のインバータと、

を備え、

前記第1の抵抗と前記第1の容量との接続点が前記第2のインバータの入力端に接続されており、

前記第 2 のインバータの出力端に一端が接続されている第 2 の抵抗と、
前記第 2 の抵抗の他端と前記第 2 の電源間に接続された第 2 導電型の MOS キャパシタよりなる第 2 の容量と、
を備え、
前記第 1 のインバータの入力端を信号入力端とし、前記第 2 の抵抗と前記第 2 の容量との接続点を信号出力端とし、
前記第 1 の抵抗の他端と第 2 の電源間に接続された第 2 導電型の MOS キャパシタよりなる第 3 の容量と、
前記第 2 の抵抗の他端と前記第 1 の電源間に接続された第 1 導電型の MOS キャパシタよりなる第 4 の容量と、
を備えている、ことを特徴とする遅延回路。

【請求項 20】

前記第 1 の電源と前記第 1 のインバータの前記第 1 の MOS トランジスタのソースとに、ソースとドレインがそれぞれ接続され、リセット用の制御信号をゲートに inputs する第 1 導電型の MOS トランジスタよりなる第 1 のスイッチと、
前記第 1 のインバータの出力端と前記第 2 の電源間とにソースとドレインがそれぞれ接続され、前記リセット用の制御信号をゲートに inputs する第 2 導電型の MOS トランジスタよりなる第 2 のスイッチと、
前記第 2 のインバータの第 4 の MOS トランジスタのソースと前記第 2 の電源間とに、ソースとドレインがそれぞれ接続され、前記リセット用の制御信号の反転信号をゲートに inputs する第 2 導電型の MOS トランジスタよりなる第 3 のスイッチと、
を備えている、ことを特徴とする請求項 19 に記載の遅延回路。

【請求項 21】

前記第 2 の MOS トランジスタと前記第 3 の MOS トランジスタは、通常の第 2 導電型と第 1 導電型の MOS トランジスタよりも、それぞれ低閾値に設定されている、ことを特徴とする請求項 16 又は 19 に記載の遅延回路。

【請求項 22】

前記抵抗は、基板上の拡散抵抗で構成されている、ことを特徴とする請求項 1

乃至 6 のいずれかに記載の遅延回路。

【請求項 23】

前記第 1 の抵抗と前記第 2 の抵抗のそれぞれが、基板上の拡散抵抗で構成されている、ことを特徴とする請求項 7、16、19 のいずれかに記載の遅延回路。

【請求項 24】

前記第 1、第 2 の電源のうち高位側の電源の電源電圧が、電源電圧を降圧する降圧回路で降圧された電源電圧とされる、ことを特徴とする請求項 7、9、16、19 のいずれかに記載の遅延回路。

【請求項 25】

請求項 1 乃至 24 のいずれかの遅延回路を備えている、ことを特徴とする半導体装置。

【請求項 26】

請求項 1 乃至 24 のいずれかに記載の遅延回路を備え、
少なくとも前記遅延回路は、相対的に低い電源電圧で駆動されており、
前記遅延回路と同一チップ上に形成される他の回路は、相対的に高い電源電圧又は相対的に低い電源電圧で駆動されている、ことを特徴とする半導体装置。

【請求項 27】

入力された信号を遅延させて出力する遅延回路と、
前記入力された信号と前記遅延回路の出力信号との所定の論理演算結果を出力する回路と、
を備えた半導体装置において、
前記遅延回路として、請求項 1 乃至 24 のいずれかに記載の遅延回路を備えている、ことを特徴とする半導体装置。

【請求項 28】

メモリセルアレイへの制御信号の遷移タイミング、及び／又は、前記制御信号のパルス幅を規定するための信号を生成する回路を含む周辺回路が、
入力された信号を遅延させる遅延回路を備え、前記遅延回路として、請求項 1 乃至 24 のいずれかに記載の遅延回路を備えている、ことを特徴とする半導体

記憶装置。

【請求項 29】

前記メモリセルアレイの制御線に供給される昇圧電圧として、電源電圧に依存しない定電圧を供給する回路を備えている、ことを特徴とする請求項 28 に記載の半導体記憶装置。

【請求項 30】

前記周辺回路は、アドレス信号をデコードし選択されたワード線を活性化する X デコーダと、

アドレス信号をデコードし選択されたビット線の Y スイッチをオンする制御を行う Y スイッチセクタと、

前記ビット線の信号を増幅するセンスアンプとの少なくともいずれか一を含み

、
前記周辺回路は、前記入力された信号と、前記遅延回路の出力信号との所定の論理演算結果に基づき、ワード線ドライバへの入力信号、センスアンプの活性化を制御する信号、ビット線のプリチャージの少なくとも 1 つを制御する信号を生成する回路を備えている、ことを特徴とする請求項 28 に記載の半導体記憶装置。

【請求項 31】

前記メモリセルアレイと前記遅延回路と前記周辺回路とが、相対的に低い電源電圧で駆動される、ことを特徴とする請求項 28 に記載の半導体記憶装置。

【請求項 32】

前記メモリセルアレイと前記遅延回路とが電源電圧を降圧した低い電源電圧で駆動され、前記周辺回路は前記電源電圧で駆動される、ことを特徴とする請求項 28 に記載の半導体記憶装置。

【請求項 33】

電源電圧に依存しない基準電圧を生成する基準電圧回路と、

前記基準電圧と、出力される昇圧電圧を分圧した分圧電圧を比較する比較回路と、

前記比較回路での比較結果を受け、前記分圧電圧が前記基準電圧よりも小であ

ることを示す場合に、チャージポンプを充電し昇圧を行う昇圧回路と、
を備え、

前記昇圧回路からは、電源電圧に依存しない昇圧電圧が出力され、

前記昇圧電圧が、ワード線ドライバの電源電圧として供給され、メモリセルアレイの選択されたワード線には前記昇圧電圧が供給され、電源電圧の低下に対し前記ワード線に供給される昇圧電圧は電源電圧が高いときと同一に保たれ、電源電圧の低下によるメモリセルのアクセス速度の低下が抑止される、ことを特徴とする請求項 29 に記載の半導体記憶装置。

【請求項 34】

相対的に高い電源電圧と、相対的に低い電源電圧の複数系統を備え、

メモリセルアレイの周辺回路が相対的に高い電源電圧で駆動され、

前記周辺回路から前記メモリセルアレイに供給される制御信号の遷移タイミング、及び／又は、前記制御信号のパルス幅を規定するための信号を生成する回路が、請求項 1 乃至 24 のいずれか一の遅延回路を備え、

前記遅延回路は、相対的に低い電源電圧で駆動され、

メモリセルアレイに供給される昇圧電圧として電源電圧に依存しない基準電圧に基づき、電源電圧に依存しない一定電圧を供給する昇圧回路を備え、

前記メモリセルアレイは、相対的に低い電源電圧で駆動される、ことを特徴とする半導体記憶装置。

【請求項 35】

請求項 28 乃至 34 のいずれか一の記載の半導体記憶装置は、インタフェースがスタティックランダムアクセスメモリ準拠とされ、メモリセルがダイナミックランダムアクセスメモリからなる、ことを特徴とする半導体記憶装置。

【請求項 36】

論理信号の遷移エッジを 1 つのインバータ又は複数段縦続接続されたインバータよりなる遅延回路を用いて遅延させる遅延方法において、

前記インバータの出力端に抵抗の一端を接続し、前記抵抗の他端を MOS キャパシタを介して電源に接続し、

(a) 前記インバータの入力端に、入力端子よりもしくは前段のインバータの

出力端に一端が接続された抵抗の他端より、立ち上がり又は立ち下りの遷移信号が入力されるステップと、

(b) 前記遷移信号が入力された前記インバータに対応する前記MOSキャパシタが接続されている電源側に対応する一の論理値から他の論理値への、前記インバータの出力信号の遷移において、前記MOSキャパシタが反転状態に変化するステップと、

を含む、ことを特徴とする遅延方法。

【請求項37】

メモリセルアレイ及びその周辺回路を、相対的に低電圧の電源電圧で駆動し、前記メモリセルアレイの制御信号に供給される昇圧電圧は、電源電圧に依存しない定電圧が供給され、

前記周辺回路から前記メモリセルアレイへの制御信号の遷移タイミング、及び／又は、前記制御信号のパルス幅を規定する信号を生成する回路が、信号の遅延を、電源電圧の低下に対して遅延時間が短縮するという特性を有する遅延回路を用いて行う、ことを特徴とする半導体記憶装置の制御方法。

【請求項38】

メモリセルアレイの周辺回路から前記メモリセルアレイに供給される制御信号の遷移タイミング、及び／又は、前記制御信号のパルス幅を規定するための信号を生成する回路が、信号の遅延を、電源電圧の低下に対して遅延時間が減少する逆特性を有する遅延回路を用いて行い、

前記周辺回路を電源電圧で駆動し、

前記遅延回路を電源電圧を降圧した降圧電源電圧で駆動し、

前記メモリセルアレイの制御信号に供給される昇圧電圧として、前記電源電圧の高低に依存しない定電圧が供給され、

前記メモリセルアレイを電源電圧を降圧した降圧電源電圧で駆動する、

ことを特徴とする半導体記憶装置の制御方法。

【請求項39】

複数のメモリセルがアレイ状に配置されてなるメモリセルアレイと、

供給される電源電圧に依存しない定電圧を駆動電圧として入力し、選択された

ワード線を前記定電圧で駆動するワード線駆動回路と、
を備え、

選択されたビット線の振幅の高位側電圧は前記電源電圧とされる、ことを特徴とする半導体記憶装置。

【請求項 4 0】

複数のメモリセルがアレイ状に配置されてなるメモリセルアレイと、
供給される電源電圧に依存しない定電圧を駆動電圧として入力し、選択されたワード線を前記定電圧で駆動するワード線駆動回路と、
選択されたビット線の高位側電圧を前記電源電圧まで増幅するセンスアンプと、
を備えている、ことを特徴とする半導体記憶装置。

【請求項 4 1】

前記メモリセルがダイナミックランダムアクセスメモリであり、リフレッシュ時に、前記センスアンプで読み出され増幅された電圧が前記メモリセルへ書き戻される、ことを特徴とする請求項 3 9 又は 4 0 に記載の半導体記憶装置。

【請求項 4 2】

請求項 3 9 乃至 4 1 のいずれかに記載の半導体記憶装置において、
前記メモリセルアレイへの制御信号の遷移タイミング、及び／又は、前記制御信号のパルス幅を規定するための信号を生成する回路を含む周辺回路が、
入力された信号を遅延させる遅延回路を備え、
前記遅延回路は、供給される電源電圧が高いときよりも低いときの方がその遅延時間が短くなる特性を有する遅延回路よりなる、ことを特徴とする半導体記憶装置。

【請求項 4 3】

請求項 4 2 に記載の半導体記憶装置において、
前記遅延回路が、請求項 1 乃至 2 4 のいずれかに記載の遅延回路よりなる、ことを特徴とする半導体記憶装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、遅延回路及び半導体記憶装置に関し、特に、低電圧の電源電圧による駆動に好適とされる遅延回路と方法及び半導体記憶装置とその制御方法に関する。

【0002】**【従来の技術】**

近時、半導体集積回路の電源電圧の低電圧化が進められている。特に携帯機器等に搭載され、バッテリー駆動されるメモリ、及びロジックデバイス等では、低消費電力化が要求されている。

【0003】

半導体集積回路等では、各回路を動作させる上で必要とされる信号のタイミングを得るために遅延回路が用いられている。また、外部からのクロック信号で駆動されない非同期型のダイナミック型半導体記憶装置では、半導体記憶装置内で各種タイミング信号を生成している。すなわち、メモリセルコア部の制御用の各種信号を、アドレス信号の変化の検出、所定の入力信号、あるいはそのデコード結果に基づきパルス信号を生成し、このパルス信号とその遅延信号から、所定の遅延で立ち上がり、所定のパルス幅を有するパルス状の制御信号を生成している。

【0004】

以下では、この発明の背景技術として、本発明の実施例の説明で参照される図6を用いて、非同期型のダイナミックRAMの概要について説明しておく。図6において、周辺回路部10は、遅延回路11に入力される信号と遅延回路の出力を入力とする論理回路12の演算結果の信号に基づき、ワード線を駆動するワード線ドライバ13の駆動を制御している。このワード線ドライバ13の駆動電源には、昇圧回路（ブースト回路40）から昇圧電圧が供給される。この昇圧電圧としては電源電圧VDDにNMOSトランジスタの閾値電圧 V_{th} を超える電圧が上乘せされた電圧が供給される。なお、図6のリファレンス電源30は、本発明の実施例に固有のものであり、従来のダイナミックRAMには含まれないことを注意しておく。セルコア部20内のワード線とビット線との交差部のメモリセ

ル 200 の NMOS トランジスタ 203 において、選択されたワード線 201 に接続されるゲートには $V_{DD} + V_t$ 以上の高電圧が供給され、NMOS トランジスタ 203 の出力電圧が電源電圧 V_{DD} にまで上昇できるようにされている。

【0005】

図 7 は、非同期型のダイナミック RAM のタイミング動作を説明するための図である。メモリサイクルのアドレスの遷移を図示されない A T D 回路で検出し、A T D 信号がアクティブとされ、この信号、アドレス信号のデコード結果、及び、メモリのアクセスを制御する図示されない制御信号に基づき、ロウアドレスを活性化させるストロブ信号 ϕ_p が生成される。この信号 ϕ_p とこれを遅延させた信号に基づき生成される信号により、ワード線の立ち上がりのタイミング、及び／又はそのパルス幅が制御される。同様にして、ビット線 16 に読み出された信号を増幅するセンスアンプ 14 の活性化を制御する信号 ϕ_{SE} 、あるいは、図示されない Y スイッチイネーブル信号、ビット線を $1/2 V_{DD}$ にプリチャージする制御信号等が生成される。

【0006】

この種の遅延回路 11 としては、例えば、複数段のインバータを縦続形態に背接続してなるインバータチェーンが用いられる。なお、遅延回路を構成するインバータの段数は、遅延回路が入力信号と同相の遅延信号を出力する場合、偶数段とされ、入力信号と逆相の遅延信号を出力する場合、奇数段とされる。

【0007】

図 15 に、CMOS インバータ・チェーンを用いた従来の遅延回路の構成の一例を示す。図 15 (A) に示すように、縦続接続された複数のインバータ J V 1 ~ J V 4 よりなり、各インバータの出力には、MOS キャパシタ J N 1 ~ K N 4 からなる負荷容量が接続されている。各インバータは、図 15 (B) に示すように、高位側電源 V_{DD} にソースが接続された PMOS トランジスタ M P 301 と、ゲートとドレインが PMOS トランジスタ M P 301 のゲートとドレインに接続され、ソースが低位側電源 G N D に接続された NMOS トランジスタ M N 301 から構成されており、共通ゲートに入力される信号が l o w (低) レベルから h i g h (高) レベルに遷移すると、オン状態の NMOS トランジスタ M N 301

1 を介して、共通のドレインに接続される負荷容量の電荷を電源 GND に放電して出力は low レベルとなり、共通ゲートに入力される信号が high レベルから low レベルに遷移すると、オン状態の PMOS トランジスタ MP301 を介して電源 VDD から共通のドレインに接続される負荷容量を充電し出力は high レベルとなる。このように、インバータの出力の負荷容量を充電、放電し、信号を伝搬させていく。

【0008】

CMOS 型のインバータの立ち下がり、立ち上がり時間（遅延） t_f 、 t_r （振幅の 10% - 90% の遷移時間）は、MOS トランジスタの非飽和領域及び飽和領域でのドレイン電流と電圧の特性（非飽和領域では、ゲート・ソース間電圧と、ドレイン・ソース間電圧と、閾値電圧、及びトランスコンダクタンスで規定され、飽和領域では、ゲート・ソース間電圧と閾値電圧、及びトランスコンダクタンスで規定される）に基づき、負荷容量、電源電圧、トランスコンダクタンス、閾値と電源電圧の比に依存する式として算出され、その概算として、よく知られているように、

$$t_f = k_1 \times CL / (\beta_n \times VDD)$$

$$t_r = k_2 \times CL / (\beta_p \times VDD)$$

と近似される。但し、CL は負荷容量、 β_p 、 β_n は CMOS インバータの PMOS トランジスタ、NMOS トランジスタのトランスコンダクタンス、VDD は電源電圧、 k_1 、 k_2 は定数である。

【0009】

電源電圧 VDD が高いと、インバータの立ち上がりと立ち下がり時間 t_r 、 t_f はともに短縮され、インバータの伝搬遅延時間 t_{pd} （入力信号の立ち上がりから反転出力信号の立ち下りまでの伝搬遅延時間 t_{pHL} 、入力信号の立ち下がりから反転出力の立ち上がりまでの伝搬遅延時間 t_{pLH} ）は短くなる。

【0010】

一方、電源電圧 VDD が低くなると、インバータの立ち上がり、立ち下がり時間 t_r 、 t_f はともに長くなり、インバータの伝搬遅延時間は長くなる。

【0011】

図15の遅延回路を構成するインバータJV1～JV4の各遅延時間の増大により、遅延回路の伝搬遅延時間も増大する。またインバータ列からなる遅延回路と同様、他の回路も、動作電源電圧の高低により、伝搬遅延時間は、短縮／長大化し、したがって、デバイスの動作速度は、速く／遅くなる。

【0012】

近時、デバイスの微細化の進展による耐圧等と低消費電力化等の要請から、半導体装置の電源電圧を降圧し、内部回路を低電圧で動作させる構成が一般に用いられている。ダイナミック型半導体記憶装置においても、周辺回路部とセルコア部（「メモリセルアレイ」ともいう）の電源電圧として、外部から供給される電源電圧VDDを、降圧回路で降圧した内部電源電圧VINTが用いられている。しかしながら、降圧電源電圧を用いる半導体記憶装置は、電源電圧VDDの低電圧化には対応できない場合がある。その理由は、低電圧化された電源電圧VDDをさらに降圧した内部電源電圧VINTを用いた場合、デバイスの動作速度が遅くなり、アクセスタイムの低速化等、機能仕様等を満たさなくなる場合があるためである。

【0013】

また図15に示した従来の遅延回路において、電源電圧VDDが低下すると、通常の論理回路での遅延量の増加に比して、より多大に遅延時間が増大し、信号のタイミング関係が満足されなくなる場合があるという問題点も有している。これは、次の理由による。すなわち、各インバータの出力部に接続された配線は短いため、実質的な配線抵抗は存在せず、MOSキャパシタとともに時定数に寄与する抵抗成分は、各トランジスタのオン抵抗が支配的である。

【0014】

これに対して、一般の論理回路の信号線は、図16に示すような回路構成で駆動されている。配線抵抗（寄生抵抗）Rと寄生容量Cを有する信号線SLの立ち上がり又は立ち下りは、信号配線の寄生抵抗Rと、ドライバ（出力回路）Dの出力抵抗と、信号線の寄生容量Cで定まる時定数によって規定される。配線の寄生抵抗を負荷として有する配線を駆動する回路において、信号の遅延時間は電源電圧に対して、図15のインバータチェーンほどの電源依存性を有さない。

【0 0 1 5】

したがって、一般の論理回路系に対して、図 1 5 に示した遅延回路の遅延時間は、電源電圧の低下に対して過剰に増大する。

【0 0 1 6】

【発明が解決しようとする課題】

このような問題点を解消するために、本願発明者は、すでに特願 2 0 0 1 - 0 9 7 0 8 3 号（先の出願（特願 2 0 0 0 - 2 4 3 3 1 7 号）に基づく優先権主張：US Patent Application Publication No. US 2002/0021159 A1）において、図 1 7 に示すような構成の遅延回路を提案している。この遅延回路は、電源電圧が低下しても、一般論理回路と比して、その遅延時間が過剰に増加せず、遅延回路の増加を抑制可能な遅延回路である。

【0 0 1 7】

図 1 7 を参照すると、遅延回路は、縦続接続される複数段のインバータ V 1 1、V 1 2、V 1 3、V 1 4 を備えており、インバータ V 1 1、V 1 3 の出力と高位側電源 V D D 間には、P M O S キャパシタ P 1 1、P 1 2 をそれぞれ備え、インバータ V 1 2、V 1 4 の出力と低位側電源 G N D 間には、N M O S キャパシタ N 1 1、N 1 2 をそれぞれ備えている。

【0 0 1 8】

P M O S キャパシタ P 1 1、P 1 2 は、それぞれ、インバータ V 1 1、V 1 3 の出力の h i g h レベルから l o w レベルへの立ち下りの遷移に対して、オフ状態からオン状態（反転状態）となる。N M O S キャパシタ N 1 1、N 1 2 は、それぞれインバータ V 1 2、V 1 4 の出力の l o w レベルから h i g h レベルへの立ち上がりの遷移に対して、オフ状態からオン状態（反転状態）となる。よく知られているように、N M O S キャパシタは、ゲート電圧 V_g が負又はグラウンド電圧 G N D (0 V) のとき蓄積状態とされ、その容量値は、ゲート酸化膜のもつ容量 C_o のみとされ、ゲート電圧 $V_g > 0$ のとき、基板表面に空乏層 (depletion layer) が形成され、その容量値は、ゲート酸化膜容量 C_o と基板表面に形成される空乏層の容量 C_d との直列合成容量 C となり C_o より小とされ、ゲート電圧 V_g が正で大きくなると ($V_g > V_t$ 、 V_t は閾値電圧)、p 型基板表面が n 型化

した反転層 (inversion layer) が形成され、いわゆる強く反転すると、その容量値は C_0 に近づく。同様にして、PMOS キャパシタは、ゲート電圧が電源電圧 V_{DD} のとき蓄積状態であり、ゲート電圧が電源電圧よりも下がりグラウンド電圧 GND 側に遷移すると、空乏状態、反転状態となる。

【0019】

図17に示すインバータチェーンにおいては、電源電圧 V_{DD} が低下し、MOS トランジスタの駆動電流が減少して、見かけ上、インバータを構成する MOS トランジスタのオン抵抗が増大すると、MOS キャパシタの容量値は、相対的に減少し、これにより、遅延量の増大を抑制するようにしたものである。この遅延回路は、初段のインバータ V_{11} への入力 SIN の立ち上がり (GND から V_{DD} への遷移) に対して、電源電圧 V_{DD} の低下に対する遅延時間の過剰な増大を抑制する。

【0020】

また、本願発明者は、すでに特願 2001-097083 号で、図18に示すような構成の遅延回路を提案している。この遅延回路は、電源電圧が低下しても、遅延時間が過剰に増加せず、遅延回路の増加を抑制可能な遅延回路である。図18において、インバータ V_{81} の PMOS トランジスタ P_{81} は高閾値、NMOS トランジスタ N_{81} は低閾値に設定されており、インバータ V_{82} の PMOS トランジスタ P_{82} は低閾値、NMOS トランジスタ N_{82} は高閾値に設定されており、インバータ V_{81} の入力閾値は電源電圧の低下に従って低下し、インバータ V_{82} の入力閾値は電源電圧の低下に従って上昇する傾向を示す。これにより、電源電圧 V_{DD} の低い領域で、遅延回路の入力閾値は低下し、入力信号の立ち上がりから出力信号の立ち上がりの伝搬遅延時間 t_{pd} は、入力信号の立ち下がりから出力信号の立ち下がりの伝搬遅延時間に対して相対的に短くなる。この結果、信号の立ち上がりの遅延時間を短縮することができ、この遅延時間の電源電圧に対する依存性を抑制している。

【0021】

このように、図17、図18にそれぞれ示した遅延回路は、図15に示した構成のような、電源電圧 V_{DD} の低下に対する遅延時間の過剰な増大を抑制してい

る。しかしながら、電源電圧の低下に対してその遅延時間が短縮する、という逆感度特性を有するものではない。このため、半導体記憶装置の電源電圧の低電圧化に対して、図 1 7、図 1 8 にそれぞれ示した遅延回路を用いて制御信号のエッジ、パルス等を生成する場合、当該制御信号は電源電圧の低下にしたがって、遅延は短縮するものではなく、このため、低電圧化には制約が課せられる。

【 0 0 2 2 】

したがって、本発明が解決しようとする課題は、駆動電源電圧を低下させながら、セルコア部のアクセスを高速化させることで、低電圧化された電源電圧に対して、セルコア部と周辺回路との総合的なアクセス速度の低下を抑止した半導体記憶装置及びその制御方法を提供することにある。

【 0 0 2 3 】

また、本発明が解決しようとする他の課題は、簡易な構成により、電源電圧の低下に対して遅延時間の増大の抑止をさらにすすめ、遅延時間が短縮する傾向を示す遅延回路及び該遅延回路を備えた半導体装置及び遅延方法を提供することにある。

【 0 0 2 4 】

【課題を解決するための手段】

上記課題を解決するための手段を提供する本発明の 1 つのアスペクトに係る半導体記憶装置は、複数のメモリセルがアレイ状に配置されてなるメモリセルアレイと、供給される電源電圧に依存しない定電圧を駆動電圧として入力し、選択されたワード線を前記定電圧で駆動するワード線駆動回路と、を備え、選択されたビット線の振幅の高位側電圧は前記電源電圧とされる。

【 0 0 2 5 】

本発明の他のアスペクトに係る半導体記憶装置は、前記メモリセルアレイへの制御信号の遷移タイミング、及び／又は、前記制御信号のパルス幅を規定するための信号を生成する回路を含む周辺回路が、入力された信号を遅延させる遅延回路を備え、前記遅延回路は、前記遅延回路に供給される電源電圧が高いときよりも低いときの方が遅延時間が短い特性を有する。

【 0 0 2 6 】

本発明の他のアスペクトに係る遅延回路は、ソースが第 1 の電源に接続される第 1 の MOS トランジスタと、ソースが第 2 の電源に接続され、ゲートが前記第 1 の MOS トランジスタのゲートと共通接続されて入力端に接続され、ドレインが前記第 1 の MOS トランジスタのドレインと共通接続されて出力端に接続され、前記第 1 の MOS トランジスタと導電型が異なる第 2 の MOS トランジスタと、を有するインバータと、前記インバータの出力端に一端が接続されている抵抗と、前記抵抗の他端と前記第 1 又は第 2 の電源との間に接続された MOS キャパシタと、を含む回路ユニットを少なくとも 1 つ備えている。

【0027】

本発明に係る上記遅延回路において、前記 MOS キャパシタは、前記 MOS キャパシタの一端が接続される前記抵抗の他端の電圧の、前記第 1 又は第 2 の電源の電源電圧のうち前記 MOS キャパシタの他の一端が接続される一方の電源の電源電圧側から他方の電源の電源電圧側への遷移により、容量値が小から大に変化する。本発明において、前記 MOS キャパシタには、前記抵抗の他端の電圧の、前記第 1 又は第 2 の電源の電源電圧のうち前記 MOS キャパシタが接続される一の電源の電源電圧から他の電源の電源電圧への遷移に従って、空乏層や反転層が形成される。

【0028】

本発明に係る上記遅延回路においては、前記回路ユニットが複数段縦続形態に接続されており、初段の回路ユニットの前記インバータの入力端に入力信号が入力され、最終段の回路ユニットのインバータの出力端に接続される前記抵抗の他端と MOS キャパシタとの接続点から出力信号が取り出され、相隣る段の回路ユニットの MOS キャパシタは、前記第 1 の電源と前記第 2 の電源とに交互に接続されている。

【0029】

本発明の 1 つのアスペクトに係る遅延回路は、1 つ又は複数段縦続形態に接続されるインバータを含む遅延回路において、前記インバータの出力端に一端が接続される抵抗と、前記抵抗の他端と高位側又は低位側電源間に接続された容量素子と、を前記インバータのそれぞれに備え、前記容量素子は、前記容量素子の一

端が接続される前記抵抗の他端の電圧の、高位側又は低位側電源の電源電圧のうち前記容量素子の他端が接続される一方の電源の電源電圧側から他方の電源の電源電圧側への遷移により、容量値が小から大に変化する。

【0030】

本発明の他のアスペクトに係る遅延回路は、入力信号を入力端から入力する第1のインバータと、前記第1のインバータの出力端に一端が接続されている第1の抵抗と、前記第1の抵抗の他端と第1の電源とに一端と他端がそれぞれ接続され、前記第1の抵抗の他端に接続される前記一端の電圧の遷移に応じて容量値が変化する第1の容量素子と、前記第1の抵抗と前記第1の容量素子との接続点が入力端に接続された第2のインバータと、前記第2のインバータの出力端に一端が接続されている第2の抵抗と、前記第2の抵抗の他端と第2の電源とに一端と他端がそれぞれ接続され、前記第2の抵抗の他端に接続される前記一端の電圧の遷移に応じて容量値が変化する第2の容量素子と、を含み、前記第2の抵抗と前記第2の容量素子との接続点を遅延信号の出力端とし、前記出力端からは、前記入力信号の遷移エッジを同相で遅延させた出力信号が出力される。本発明においては、前記第1の容量素子は、前記第1の抵抗の他端に接続される前記一端の電圧が、前記第1の電源電圧側から前記第2の電源電圧側へ遷移するとき、その容量値が小から大に変化し、前記第2の容量素子は、前記第2の抵抗の他端に接続される前記一端の電圧が、前記第2の電源電圧側から前記第1の電源電圧側へ遷移するとき、その容量値が小から大に変化する。本発明においては、前記第1の容量素子が、好ましくは、MOSキャパシタよりなり、前記第1の容量素子をなす前記MOSキャパシタは、前記第1の抵抗の他端の電圧が、前記第1の電源電圧側から第2の電源電圧側へ遷移するとき、反転状態に変化し、前記第2の容量素子が、好ましくは、MOSキャパシタよりなり、前記第2の容量素子をなす前記MOSキャパシタは、前記第2の抵抗の他端の電圧が、前記第2の電源電圧側から前記第1の電源電圧側へ遷移するとき、反転状態に変化する。

【0031】

本発明の他のアスペクトに係る遅延回路においては、前記第1の抵抗の他端と前記第2の電源とに一端と他端がそれぞれ接続され、前記第1の抵抗の他端に接

続される前記一端の電圧の遷移に応じて容量値が変化する第3の容量素子と、前記第2の抵抗の他端と前記第1の電源とに一端と他端がそれぞれ接続され、前記第2の抵抗の他端に接続される前記一端の電圧の遷移に応じて容量値が変化する第4の容量素子と、を備えた構成としてもよい。本発明においては、前記第3の容量素子は、前記第1の抵抗の他端に接続される前記一端の電圧が、前記第2の電源電圧側から前記第1の電源電圧側へ遷移するとき、容量値が小から大に変化し、前記第4の容量素子は、前記第2の抵抗の他端に接続される前記一端の電圧が、前記第1の電源電圧側から前記第2の電源電圧側へ遷移するとき、容量値が小から大に変化する。本発明に係る遅延回路においては、前記第3の容量素子が、好ましくは、MOSキャパシタよりなり、前記第3の容量素子をなす前記MOSキャパシタは、前記第1の抵抗の他端の電圧が、前記第2の電源電圧側から第1の電源電圧側へ遷移するとき、反転状態に変化し、前記第4の容量素子が、好ましくは、MOSキャパシタよりなり、前記第4の容量素子をなす前記MOSキャパシタは、前記第2の抵抗の他端の電圧が、前記第1の電源電圧側から前記第2の電源電圧側へ遷移するとき、反転状態に変化する。

【0032】

本発明に係る遅延回路においては、前記第1のインバータの入力端に制御端子が接続され、前記第1の電源と前記第1の抵抗の他端との間に接続された第1のスイッチを有するリセット回路を備えた構成としてもよい。あるいは、前記第1のインバータの入力端に前記第3のインバータと、前記第2の抵抗の他端と前記第2の電源間に接続され前記第3のインバータの出力端に制御端子が接続されている第2のスイッチと、を有するリセット回路を備えた構成としてもよい。

【0033】

本発明の他の1つのアスペクトに係る遅延回路は、前記第1の抵抗の他端と前記第2の電源間に接続され、前記第1の抵抗の他端の電圧が、前記第2の電源電圧から前記第1の電源電圧へ遷移するとき、前記容量値が小から大に変化する第3の容量と、前記第2の抵抗の他端と前記第1の電源間に接続され、前記第2の抵抗の他端の電圧が、前記第1の電源電圧から前記第2の電源電圧へ遷移すると

き、前記容量値が小から大に変化する第4の容量と、をさらに備えている。本発明において、前記第3の容量が、MOSキャパシタよりなり、前記第1の抵抗の他端の電圧が、前記第2の電源電圧から第1の電源電圧へ遷移するとき、反転状態に変化し、前記第4の容量が、MOSキャパシタよりなり、前記第2の抵抗の他端の電圧が、前記第1の電源電圧から前記第2の電源電圧へ遷移するとき、反転状態に変化する。

【0034】

本発明の他の1つのアスペクトに係る半導体記憶装置は、メモリセルアレイへの制御信号の遷移タイミング、及び／又は、前記制御信号のパルス幅を規定するための信号を生成する周辺回路が、入力された信号を遅延させる遅延回路を備え、前記遅延回路として、上記した本発明の各アスペクトのいずれかに係る遅延回路を備えている。

【0035】

本発明の半導体記憶装置においては、前記メモリセルアレイの制御線に供給される昇圧電圧として、電源電圧に依存しない定電圧を供給する回路を備えている。かかる本発明の半導体記憶装置においては、前記メモリセルアレイと前記遅延回路と前記周辺回路とが、相対的に低い電源電圧で駆動される。あるいは、前記メモリセルアレイと前記遅延回路とが電源電圧を降圧した低い電源電圧で駆動され、前記周辺回路は前記電源電圧で駆動される構成としてもよい。

【0036】

本発明の他のアスペクトに係る方法は、論理信号の遷移エッジを1つのインバータ又は複数段縦続接続されたインバータを用いて遅延させる遅延方法において、前記インバータの出力端に抵抗の一端を接続し、前記抵抗の他端をMOSキャパシタを介して電源に接続し、

(a) 前記インバータの入力端に、入力端子よりもしくは前段のインバータの出力端に一端が接続された抵抗の他端より、立ち上がり又は立ち下りの遷移信号が入力されるステップと、

(b) 前記遷移信号が入力された前記インバータに対応する前記MOSキャパシタが接続されている電源側に対応する一の論理値から他の論理値への、前記イ

ンバータの出力信号の遷移において、前記MOSキャパシタが反転状態に変化するステップと、を含む。

【0037】

また、本発明の他のアスペクトに係る半導体記憶装置の制御方法は、メモリセルアレイ及びその周辺回路を、相対的に低電圧の電源電圧で駆動し、前記メモリセルアレイの制御信号に供給される昇圧電圧は、電源電圧に依存しない定電圧が供給され、前記周辺回路から前記メモリセルアレイへの制御信号の遷移タイミング、及び／又は、前記制御信号のパルス幅を規定する信号を生成する回路が、信号の遅延を、電源電圧の低下に対して遅延時間が減少する逆特性を有する遅延回路を用いて行う。

【0038】

以下の説明からも明らかとされるように、上記した課題の少なくとも1つは、特許請求の範囲の各請求項の発明によっても同様にして解決される。

【0039】

【発明の実施の形態】

本発明の実施の形態について説明する。本発明の一実施の形態の遅延回路は、ソースが第1の電源に接続された第1のMOSトランジスタと、ソースが第2の電源に接続され、ゲートが該第1のMOSトランジスタのゲートと共通接続されて入力端に接続され、ドレインが該第1のMOSトランジスタのドレインと共通接続されて出力端に接続され、該第1のMOSトランジスタと導電型が異なる第2のMOSトランジスタと、を有するCMOSインバータ（例えばINV1）と、該インバータの出力端に一端が接続されている抵抗（例えばR1）と、該抵抗の他端と第1又は第2の電源（VDD、GND）との間に接続されたMOSキャパシタ（例えばMP203）と、を含む遅延回路ユニットを1つ又は複数段備えている。所望の遅延時間に応じて、入力信号を同相で出力して遅延させる場合、偶数段縦続接続された遅延回路ユニットを含み、入力信号を逆相で出力して遅延させる場合、奇数段縦続接続された遅延回路ユニットを含む。

【0040】

MOSキャパシタ（MP203、MN203）は、ゲート電圧が、MOSキャ

パシタ（例えばMP 203、MN 203）が接続される電源電圧（VDD、GND）のとき蓄積状態とされ、そのゲート電圧の、MOSキャパシタ（例えばMP 203、MN 203）が接続される電源電圧（VDD、又はGND）から、他方の電源電圧（GND又はVDD）への遷移に従って、基板表面には空乏層や反転層が形成される。すなわち、MOSキャパシタは空乏状態や反転状態となる。

【0041】

この発明の実施の形態によれば、インバータの出力端に抵抗の一端を接続し抵抗と他端との電源間に、該インバータの出力の該電源電圧側から他方の電源電圧側への遷移で容量値が小から大に変化する容量素子を備えたことにより、電源電圧の低下に対してその遅延時間の増大を抑止し、さらに減少させることができる（電源電圧依存性の逆感度特性）という作用効果を奏する。

【0042】

本発明は、その一実施の形態において、入力信号を入力端から入力するCMOS型の第1のインバータ（INV1）と、該第1のインバータの出力端に一端が接続されている第1の抵抗（R1）と、第1の抵抗（R1）の他端と第1の電源（VDD）間に接続されたMOSキャパシタ（MP103）よりなる第1の容量と、第1の抵抗（R1）と第1の容量との接続点が入力端に接続されたCMOS型の第2のインバータ（INV2）と、該第2のインバータ（INV2）の出力端に一端が接続されている第2の抵抗（R2）と、第2の抵抗（R2）の他端と第2の電源（GND）間に接続されたMOSキャパシタ（MN103）よりなる第2の容量と、を少なくとも備え、第2の抵抗（R2）と第2の容量（MN103）との接続点を遅延信号の出力端子（OUT）とし、出力端からは、入力信号の遷移エッジを遅延させた信号が出力される。

【0043】

この実施の形態において、立ち上がりエッジを遅延させて出力する遅延回路の第1のインバータ（INV1）のMOSトランジスタ（MN101）、第2のインバータ（INV2）のMOSトランジスタ（MP102）の閾値が低く設定されている。

【0044】

この実施の形態において、好ましくは、遅延パスのインバータの出力ノードを遅延パスを経由せずに、遅延パスとは別のリセットパスを介して、当該ノードを高速にリセットする回路を備えている。より詳細には、図2を参照すると、第1のインバータ (INV1) の入力端 (IN) に制御端子が接続され、前記第1の電源と前記第1の抵抗 (R1) と他端との間に接続された第1のスイッチ (MP104) を有する。第1のインバータ (INV1) の入力端 (IN) にその入力端が接続された第3のインバータ (INV01) と、第2の抵抗 (R2) の他端と第2の電源 (GND) 間に接続され第3のインバータ (INV01) の出力端に制御端子が接続された第2のスイッチ (MN104) を有する。

【0045】

本発明は、別の実施の形態において、図4を参照すると、第1の抵抗 (R1) の他端と第1の電源 (VDD) 間に接続されたMOSキャパシタ (MP203) と、第1の抵抗 (R1) の他端と第2の電源 (GND) 間に接続されたMOSキャパシタ (MN203) と、第2の抵抗 (R2) の他端と第1の電源 (VDD) 間に接続されたMOSキャパシタ (MP204) と、第2の抵抗 (R2) の他端と第1の電源 (GND) 間に接続されたMOSキャパシタ (MN204) と、を備えた構成としてもよい。かかる構成により立ち上がりと立ち下りの遷移に対して、遅延時間は、電源依存性についての逆感度特性を有する。

【0046】

この実施の形態においても、リセット回路を備えてよい。例えば、図5を参照すると、第1の電源と第1のインバータ (INV1) の給電端子 (PMOSトランジスタMP101のソース) との間に接続され、リセット用の制御信号 (CS) が第1の論理値のときオンする第3のスイッチ (MP207) を備え、第2のインバータ (INV1) の出力端と第2の電源 (GND) 間に接続され、制御信号 (CS) が第2の論理値のときオンする第4のスイッチ (MN207) を備え、第2のインバータ (INV1) の給電端子 (NMOSトランジスタMN102のソース) と第2の電源 (GND) 間に接続され、制御信号 (CS) が第1の論理値のときオンする第5のスイッチ (MN208) を備えている。

【0047】

この実施の形態において、CMOS型のインバータの出力端に接続される抵抗（例えば、第1の抵抗（R1）、第2の抵抗（R2））は、基板上の拡散抵抗で構成されている。

【0048】

本発明に係る半導体記憶装置は、その好ましい一実施の形態において、複数のメモリセルがアレイ状に配置されてなるメモリセルアレイ（図6のセルコア部20）と、供給される電源電圧に依存しない定電圧を昇圧電圧（VB00ST）として入力し、選択されたワード線を前記定電圧で駆動するワード線駆動回路（図6の13）と、を備え、選択されたビット線（図6の16）の振幅の高位側電圧は前記電源電圧（VDD）とされる。

【0049】

この実施の形態において、センスアンプ（図6の14）は、選択されたビット線の高位側を前記電源電圧まで増幅する。本発明の半導体記憶装置は、その好ましい一実施の形態において、メモリセルアレイ（図6のセルコア部20）への制御信号の遷移タイミング、及び／又は、前記制御信号のパルス幅を規定するための信号を生成する回路を含む周辺回路が、入力された信号を遅延させる遅延回路（図6の11）を備え、前記遅延回路は、前記遅延回路に供給される電源電圧が高いときよりも低いときの方が遅延時間が短い特性（図11参照）を有する。

【0050】

本発明の半導体記憶装置は、その好ましい一実施の形態において、周辺回路からメモリセルに供給される制御信号の遷移エッジのタイミング、あるいはそのパルス幅を規定する信号を生成するための遅延回路（図6の11）として、上記各実施の形態で説明した、遅延時間の電源電圧依存性が、逆特性を有する遅延回路が用いられる。

【0051】

また、本発明の半導体記憶装置は、その好ましい一実施の形態において、Xデコーダ、Yスイッチセクタ、センスアンプ等の少なくともいずれか1つを含む周辺回路部の電源電圧VDDは低電圧化され、セルコア部（メモリセルアレイ）も低電圧化された電源電圧VDDで駆動され、低消費電力化を図っている。セル

コア部に供給される制御信号の電圧（昇圧電圧 V_{BOOST} ）は電源電圧に依存しない一定電圧が供給される。本発明の半導体記憶装置は、その好ましい一実施の形態において、周辺回路からメモリセルに供給される制御信号の遷移エッジのタイミング、あるいはそのパルス幅を規定する信号を生成するための遅延回路が低電圧の電源電圧で駆動される。

【0052】

本発明の半導体記憶装置は、その好ましい一実施の形態において、遅延回路（11）によって生成される信号により、遷移エッジ等が規定される制御信号により、Xデコーダのワード線ドライバ、センスアンプの活性化を制御する信号、ビット線のプリチャージを制御する信号を生成する。このため、周辺回路部を低電圧電源駆動とした場合にも、制御信号の遅延時間は、高電源電圧のときと比べて遅れず、アクセス速度の低下（遅延の増大）を抑止している。

【0053】

この実施の形態において、昇圧電圧（ V_{BOOST} ）は電源電圧に依存しない一定の昇圧電圧を生成する回路は、図8を参照すると、電源電圧に依存しない基準電圧 V_{ref} を生成する回路（30）と、基準電圧と、出力される昇圧電圧を分圧した分圧電圧を比較する比較回路（41）と、比較回路（41）の比較結果を受け、前記分圧電圧が前記基準電圧よりも小であることを示す場合に、チャージポンプを充電し昇圧を行う昇圧回路（40）とを備えている。昇圧電圧（ V_{BOOST} ）が、ワード線ドライバの電源電圧として供給され、選択されたワード線には前記昇圧電圧が供給され、電源電圧の低下に対して、ワード線に供給される昇圧電圧は電源電圧が高いときと同一に保たれ、電源電圧の低下によるメモリセルのアクセス速度の低下が抑止される。

【0054】

本発明は、メモリセルアレイの周辺回路は、例えば半導体記憶装置に供給される電源電圧（ V_{DD} ）で駆動され、該周辺回路からメモリセルアレイに供給される制御信号の遷移タイミングの遅延時間及び／又は前記制御信号のパルス幅を規定するための信号を生成する遅延回路として、上記した、遅延時間が逆感度特性の遅延回路を備えている。該遅延回路（図14の11A）は、半導体記憶装置に

供給される電源電圧 (VDD) を降圧回路 (図 14 の 50) で降圧した降圧電源電圧で駆動される。この実施の形態においても、メモリセルアレイに供給される昇圧電圧として電源電圧に依存しない基準電圧に基づき、電源電圧に依存しない一定電圧を供給する昇圧回路 (図 14 の 40) を備えている。メモリセルアレイ (セルコア部 20) は、半導体記憶装置に供給される電源電圧を降圧回路 (図 14 の 50) で降圧した降圧電源電圧で駆動される。

【0055】

本発明に係る遅延方法の一実施の形態は、論理信号の遷移エッジを 1 つ又は複数段縦続接続されたインバータを用いて遅延させる遅延方法において、前記インバータの出力端に抵抗 (図 1 の R1、R2) の一端を接続し、前記抵抗の他端を MOS キャパシタ (図 1 の MP103、MN103) を介して電源 (VDD、GND) に接続した回路構成において、

(a) インバータの入力端に、入力端子よりもしくは前段のインバータの出力端に一端が接続された抵抗の他端より、立ち上がり又は立ち下りの遷移信号 (過渡信号: transient signal) が入力される第 1 のステップと、

(b) 前記遷移信号が入力された前記インバータに対応する前記 MOS キャパシタが接続されている電源側に対応する一の論理値から他の論理値への、前記インバータの出力信号の遷移において、前記 MOS キャパシタ (図 1 の MP103、MN103) が反転状態に変化する第 2 のステップを含む。

【0056】

本発明に係る半導体記憶装置の制御方法の一実施の形態は、X デコーダ、Y スイッチセクタ、センスアンプを含む周辺回路 (図 6 の 10) の電源電圧を低電圧化で駆動し、メモリセルアレイ (図 6 の 20) に供給される昇圧電圧は電源電圧に依存しない一定電圧が供給され、前記周辺回路からメモリセルに供給されるパルス状の信号を生成するための遅延回路 (図 6 の 11) による信号の遅延を、上記遅延方法で行う。

【0057】

本発明に係る半導体記憶装置の制御方法の他の実施の形態は、前記周辺回路を、電源電圧で駆動し、前記遅延回路を電源電圧を降圧した降圧電源電圧で駆動し

、メモリセルアレイに供給される昇圧電圧は電源電圧に依存しない一定電圧が供給され、前記メモリセルアレイを、電源電圧を降圧した降圧電源電圧で駆動し、前記周辺回路からメモリセルに供給されるパルス状の信号を生成するための遅延回路（図6の11）による信号の遅延を、上記遅延方法で行い、遅延回路を電源電圧を降圧した降圧電源電圧で駆動する。

【0058】

このように、本発明の半導体記憶装置の実施の形態によれば、アクセスの高速化とスタンバイ電流の減少等の低消費電力化の要請に応じ、駆動電源（したがって消費電力）とアクセス時間を最適化することができる、という顕著な作用効果を奏することができる。例えば周辺回路とセルコア部とともに低電圧の電源電圧で駆動しながら、アクセス時間の過剰な増大を回避している。あるいは、周辺回路を高電圧の電源電圧で駆動し、セルコア部を低電圧の電源電圧で駆動することで、アクセスの高速化と、消費電力の増大の抑制の両立を図ることができる。

【0059】

【実施例】

上記した本発明の実施の形態についてさらに詳細に説明すべく、本発明の実施例について図面を参照して以下に説明する。図1は、本発明の一実施例（第1の実施例）に係る遅延回路の構成を示す図である。

【0060】

図1を参照すると、本発明の第1の実施例の遅延回路は、第1段目の回路として、ソースが高位側の電源VDDに接続されたPチャネルMOSトランジスタMP101と、ソースが低位側の電源GNDに接続され、ゲートがPMOSトランジスタMP101のゲートと共通接続されて入力端子INに接続され、ドレインがPMOSトランジスタMP101のドレインと共通接続されて抵抗R1の一端に接続されているNMOSトランジスタMN101からなるCMOS型の第1のインバータINV1を備え、抵抗R1の他端と電源VDD間に接続されたPMOSトランジスタMP103よりなるMOSキャパシタを備えている。このPMOSトランジスタMP103は、ゲートが抵抗R1の他端に接続され、ソースとドレインは、このPMOSトランジスタの基板ゲート（Substrate Gate）電位で

もある電源電圧VDDに接続されている。

【0061】

2段目の回路として、ソースが電源VDDに接続されたPMOSトランジスタMP102と、ソースが電源GNDに接続され、ゲートがPMOSトランジスタMP102のゲートと共通接続されて、MOSトランジスタMP103のゲートと抵抗R1との接続点に接続され、ドレインがPMOSトランジスタMP102のドレインと共通接続されて抵抗R2の一端に接続されるNMOSトランジスタMN102とからなるCMOS型の第2のインバータINV2と、抵抗R2の他端と電源GND間に接続されたNMOSトランジスタMN103よりなるMOSキャパシタを備えている。このNMOSトランジスタMN103はゲートが抵抗R2の他端に接続され、ソースとドレインは、このNMOSトランジスタの基板ゲート (Substrate Gate) 電位でもあるグランド電源GNDに接続されている。

【0062】

本発明の第1の実施例の遅延回路は、入力端子INに入力された信号を入力とする第1のインバータINV1で反転出力し、第1のインバータINV1の出力を入力とする第2のインバータINV2で反転出力し、入力端子INに入力される信号を遅延させた同相の信号を出力端子OUTから出力する。なお、図1では、2段のインバータが示されているが、4段、6段等であってもよい。また遅延回路が入力端子INに入力される信号と逆相の信号を出力する場合、奇数段のインバータよりなる。

【0063】

本発明の第1の実施例の遅延回路の動作について以下に説明する。トランジスタMP101、MN101からなる第1のインバータINV1とMOSキャパシタMP103、トランジスタMP102、MN102からなる第2のインバータINV2とMOSキャパシタMP104からなる回路は、図17に示した構成に対応している。

【0064】

MOSキャパシタMP103、MN103は、それぞれ、インバータINV1

の出力の電源電圧 V_{DD} からグラウンド電圧 GND への遷移、インバータ $INV2$ の出力のグラウンド電圧 GND から電源電圧 V_{DD} への遷移に対して、オフ状態からオン状態（反転状態）となる。すなわち、インバータ $INV1$ の出力信号電圧の電源電位からグラウンド電圧への立ち下り遷移において、MOS キャパシタ $MP103$ の基板表面には、空乏層、反転層が形成され、その容量値は、インバータ $INV1$ の出力信号電圧の低下にしたがって大きくなる。典型的な MOS キャパシタの $C-V$ 特性から、MOS キャパシタのゲート電圧 V_g が閾値電圧 V_t の数倍程度になると、MOS キャパシタの容量値は、ゲート絶縁膜の容量値（蓄積状態での容量）に近づく。

【0065】

インバータ $INV1$ の出力信号電圧が電源電圧 V_{DD} から若干下がった時点と、電源電圧 V_{DD} から PMOS キャパシタ $MP103$ の閾値電圧 V_{tph} を超えて、すなわち、 $V_{DD} - |V_{tph}|$ 以下に下がっていく遷移の過程で、遅延パスの MOS キャパシタ $MP103$ を含む CR 回路（抵抗 $R1$ と MOS キャパシタ $MP103$ ）の時定数の値が変化し、次第に大きくなっていく。

【0066】

またインバータ $INV2$ の出力信号電圧のグラウンド電圧から電源電圧への立ち上がり遷移において、NMOS キャパシタ $MN103$ の基板表面には、反転層が形成され、その容量値は、インバータ $INV2$ の出力信号電圧の上昇にしたがって大きくなる。インバータ $INV2$ の出力信号電圧がグラウンド電圧 GND から若干上がった時点と、NMOS キャパシタ $MN103$ の閾値電圧 V_{thn} を超えて上がっていく遷移の過程で、遅延パスの NMOS キャパシタ $MN103$ を含む CR 回路（抵抗 $R2$ と MOS キャパシタ $MN103$ ）の時定数の値は、時不変でなく、次第に大きくなっていく。

【0067】

すなわち、本発明の第1の実施例において、インバータ $INV1$ の出力信号の立ち下り波形は、図19にaとして示すように、立ち下り遷移の最初に、PMOS キャパシタ $MP103$ の容量値は小であるため、その時定数は小さく、時間変化に対する振幅値の減少の割合は大きく、グラウンド電圧に近づくと、容量値が大

きくなり、時間変化に対する振幅値の減少の割合は小さくなる（波形は鈍ってくる）。この図 19 は、遅延回路のインバータの立ち下り波形を、本発明と、図 15 の従来の構成と比較して説明するための図であり、横軸は時間、縦軸は電圧を表している。

【0068】

図 1 において、インバータ INV 1 の出力信号の立ち下り時の遅延パスとして、インバータ INV 1 の NMOS トランジスタ MN 101 がオンし、一端が電源 VDD に接続された容量素子（PMOS キャパシタ MP 103）の他端（ゲート端子）には、電源 GND 側から抵抗 R1 を介して、負の電荷（ $-Q$ ）が蓄積され、電源 VDD 端子側には電荷（ $+Q$ ）が蓄積される。容量素子（PMOS キャパシタ MP 103）の一端は電源電圧 VDD とされ、容量素子の容量値を C （ここでは時不変で近似する）、他端（ゲート端子）の端子電圧を V 、NMOS トランジスタ MN 101 に流れる電流値を I とすると、

$$+Q = C \times (VDD - V) \text{ となり、}$$

$$V = R1 \times I, \text{ } dQ/dt = I \text{ より、}$$

$$R1 \times C (dV/dt) + V = 0$$

$$(\text{ただし、} t = 0 \text{ で、} V = VDD)$$

が成り立ち、容量素子の他端（PMOS キャパシタ MP 103 のゲート端子）の立ち下がり波形

$$V = VDD \times \exp \{-t / (R1 \times C)\}$$

が求められる。この例では、インバータ INV 1 の出力端とグランド電源 GND 間の寄生容量（stray capacitor）は無視されている。

【0069】

また、インバータ INV 2 の出力信号の立ち上がり波形は、遷移の最初に、時定数は小さく、時間変化に対する振幅値の増大の割合は大きく（傾き大）、電源電圧 VDD に近づくと、容量値、したがって時定数が大きくなり、時間変化に対する振幅値の増加の割合は小さくなる（波形は鈍ってくる）。

【0070】

図 1 に示した構成と比較して、図 15 の構成の場合、インバータ J V 1 の出力

信号電圧の電源電位 V_{DD} からグランド電圧への立ち下り遷移において、MOS キャパシタ $JN1$ のゲート電圧は、電源電位からグランド電圧に遷移し、MOS キャパシタ $JN1$ は反転状態から空乏状態に変化し、その容量値は、インバータ $JV1$ の出力信号電圧の低下にしたがって小さくなる。インバータ $JV1$ の出力信号の立ち下り波形は、図 19 に b として示すように、遷移の最初にその時定数は大きいことから傾きは緩やかであり、グランド電圧 GND に近づくにつれ、容量値が小さくなり、時間変化に対する振幅値の減少の割合は大きくなる。

【0071】

本発明の第 1 の実施例では、インバータ $INV1$ の出力信号の立ち下り波形の遷移の最初に時定数は、該遷移の終わりの方と比べて小さく、立ち下りの傾きは急であるため、遷移の開始から、インバータ $INV1$ の出力信号の立ち下りを受ける次段のインバータ $INV2$ の PMOS トランジスタ $MP102$ の閾値 V_{thp} を超えるまでに要する時間 t_A (図 19 参照) は、遷移の始めに時定数が大きい場合と比べて、早まる。なお、次段のインバータ $INV2$ の PMOS トランジスタ $MP102$ は、前段の抵抗 $R1$ と MOS キャパシタ $MP103$ のゲートとの接続点の電圧が、 $V_{DD} - |V_{thp}|$ 以下となると、オン状態となり、MOS キャパシタ $MN103$ の充電を開始する。また、インバータ $INV2$ の出力信号の立ち上がり波形は、遷移の最初の時定数が、該遷移の終わりの方と比べて小さく、遷移の開始から、出力信号電圧が所定のレベル (例えば論理閾値電圧) を超えるまでの時間は、最初時定数が大きい場合と比べて、早まる。一方、図 15 の構成の場合、インバータ $JV1$ の出力信号の立ち下り波形の遷移の最初の時定数は、該遷移の終わりの方と比べて大きく傾きは緩やかであるため、遷移の開始から、インバータ $INV2$ を構成する PMOS トランジスタの閾値 V_{thp} を超えるまでの時間 (図 19 の t_B 参照) は、遷移の始めに時定数が小さい場合と比較して、遅くなる。

【0072】

本発明の第 1 の実施例において、インバータ $INV1$ の出力信号の立ち下り波形が遷移の最初に急減に立ち下がることにより、該インバータの出力信号が閾値 V_{thp} を超えるまでの時間が短いことは、電源電圧 V_{DD} が低下した場合に、

遅延時間の増大の抑止効果に、より有効に利いてくる。この作用効果も、本実施例の作用効果の特徴の1つをなしている。

【0073】

そして、本発明の第1の実施例においては、電源電圧VDDが低下し、インバータを構成するMOSトランジスタの駆動電流が減少して見かけ上、オン抵抗 r_{on} が増大すると、MOSキャパシタMP103、MN103の容量値が相対的に減少し、これにより、遅延量の増大を抑制するようにしている。すなわち、MOSキャパシタのゲート電圧 V_g の振幅は電源電圧VDDとされ、電源電圧VDDの低下により、MOSキャパシタのゲート電圧が電源電圧のときの閾値電圧 V_t との比が小さくなり、MOSキャパシタの容量が減少する。例えばNMOSキャパシタのゲート電圧が $3V_t$ から $2V_t$ となった場合、MOSキャパシタの容量値は減少し、インバータのトランジスタのオン抵抗とMOSキャパシタからなる時定数は、電源電圧低下時にも、MOSキャパシタの容量値が小さくなることから、その増大が抑止されており、遅延時間の増大が抑止される。この作用効果も、本実施例の作用効果の特徴の1つをなしている。

【0074】

このようにして、本発明の第1の実施例の遅延回路は、インバータINV1の入力信号の立ち上がりの遷移エッジに対して、電源電圧VDDの低下に対する、遅延時間の増大を抑制している。

【0075】

さらに、この実施例では、図18に示した構成と同様、第1のインバータINV1のNMOSトランジスタMN101を閾値電圧 V_{thn} が低く設定されており、第1のインバータINV1のNMOSトランジスタMN101を閾値電圧 V_{thp} が低く（絶対値 $|V_{thp}|$ が小さく）設定されている。

【0076】

かかる構成により、電源電圧VDDの低下に対して、第1のインバータINV1の入力閾値を下げ、第2のインバータINV2の入力閾値を上げており、電源電圧VDDの低下に対して、入力信号のhighレベルへの立ち上がり遷移の遅延を、入力信号のlowレベルへの立ち下がり遷移に対して、相対的に短くして

いる。このため、入力信号の *high* レベルへの立ち上がりの遅延時間の電源電圧依存性を抑制している。

【0077】

インバータの出力部の信号の遷移によって、オフ状態からオン状態となる MOS キャパシタと、インバータの入力閾値の制御により、図 1 に示した遅延回路は、入力信号の *low* レベルから *high* レベルへの立ち上がり遷移の遅延時間の電源電圧依存性（電源電圧の低下で遅延時間が増大するという特性）が抑制され、電源電圧の低下に対する遅延時間の感度（依存性）を示す傾きは、かなり、平坦なものに制御されている。この作用効果も、本実施例の作用効果の特徴の 1 つである。

【0078】

さらに、本実施例では、第 1 のインバータ INV 1 の出力と MOS キャパシタ MP 103 のゲート端子との間に、抵抗 R 1 を備えており、第 2 のインバータの出力と MOS キャパシタ MN 103 のゲート端子との間に抵抗 R 2 を備えている。抵抗 R と容量 C からなる CR 回路の出力は、抵抗 R と容量 C の時定数 $t\tau$ ($=RC$) に従って遷移する。

【0079】

この CR 回路の立ち上がり信号波形は、

$$\text{振幅} \times \{1 - \exp(-t/t\tau)\}$$

立ち下がり信号波形は、

$$\text{振幅} \times \exp(-t/t\tau)$$

とされる。

【0080】

ここで、抵抗値 R は、電源電圧 VDD によらず一定であることから、使用する振幅を小さくすると、あるレベル、例えば論理閾値に達するまでに要する遅延時間も短縮する。これは、例えば CR 回路の立ち上がりあるいは立ち下り信号波形の遷移における遷移開始点と遷移終了点（あるいは *high* レベルと *low* レベルに対応する 2 つのポイント）を直線で結んで近似した場合、振幅が $1/2$ となれば、遷移時間も $1/2$ となることから、明らかである。すなわち、電源電圧

VDDの低下に対して、1段目のインバータINV1の立ち下り時間 t_r 、2段目のインバータINV2の立ち上がり時間 t_f を短縮しており、電源電圧VDDの低下に対して、遅延回路における入力信号の立ち上がりから出力信号の立ち上がりまでの伝搬遅延時間 t_{pd} を短縮させている。

【0081】

次に、この実施例で用いられる抵抗R1、R2について説明しておく。抵抗R1、R2としては、例えば、基板表面の不純物拡散層よりなる拡散抵抗が用いられる。P型基板あるいは、ウエル内に設けられるn型拡散層、あるいはn⁺拡散層（例えば、不純物濃度が高精度に制御されているLDD（Lightly Doped Drain）領域と同一の不純物濃度）が用いられる。

【0082】

電源電圧の変動（低下）に対する遅延回路の伝搬遅延時間 t_{pd} のばらつきを小さくするには、インバータの出力部に接続される抵抗（R1、R2）を高抵抗とすればよい。一方、高抵抗を拡散抵抗で実現する場合、その面積が増大する。抵抗（R1、R2）の抵抗値は、低電圧化させる電源電圧の範囲と、遅延時間の設定遅延量、及びその変動の程度等に基づき、設定されるが、実用上、抵抗値は、インバータのMOSトランジスタのオン抵抗と同程度の数十キロオームとするか、あるいは数メガオーム程度としてもよい。トランジスタのオン抵抗と同程度の抵抗値とした場合、トランジスタの拡散層と同じ程度の面積で作成され、チップ面積の増大が抑止される。

【0083】

次に、本発明の遅延回路の別の実施例について説明する。図2は、本発明の第2の実施例に係る遅延回路の構成を示す図である。図2において、図1と同一の構成要素には、同一の参照番号が付されている。本発明の第2の実施例は、図1に示した実施例の遅延回路に、遅延パスとは別にリセット回路を設けたものである。すなわち、図2を参照すると、ソースが電源VDDに接続され、ドレインが抵抗R1とMOSキャパシタMP103のゲートとの接続点に接続され、入力信号をゲートに入力するPMOSトランジスタMP104と、入力信号を入力しその反転信号を出力するインバータINV01と、ソースがGNDに接続され、ド

レインが抵抗R2とMOSキャパシタMN103のゲートとの接続点に接続され、インバータINV01の出力信号をゲートに入力するNMOSトランジスタMN104とを備えている。

【0084】

この実施例では、前記第1の実施例と同様、端子INに入力される入力信号がlowレベルからhighレベルに立ち上がると、出力端子OUTからの出力信号が遅延して立ち上がる。そして、電源電圧VDDの低下に対して、入力信号のlowレベルからhighレベルへの立ち上がりに対する、出力信号のlowレベルからhighレベルへの立ち上がりまでの伝搬遅延時間は短縮される。一方、電源電圧VDDの低下に対して、入力信号のhighレベルからlowレベルへの立ち下がりに対する、出力信号のhighレベルからlowレベルへの立ち上がりまでの伝搬遅延時間は短縮されず、通常通り、増加する。

【0085】

本発明の第2の実施例の動作について説明する。この実施例では、入力信号が立ち下がると、リセットパスを介して、インバータINV1の出力をリセットする。すなわち、入力信号がhighレベルからlowレベルに立ち下がると、ゲート電位がlowレベルとなったトランジスタMP104が導通し、インバータINV1の遅延なく、ただちに、MOSキャパシタMP103のゲート電位（インバータINV2の入力端）を電源電圧VDDとする。

【0086】

また、インバータINV1、INV2の遅延パスを経由せず、リセットパスを介して、ただちに、出力端子OUTをグランド電圧GNDとする。すなわち、入力信号がhighレベルからlowレベルに立ち下がると、インバータINV01の電位がhighレベルとなり、トランジスタMN104が導通し、出力端子OUTを放電してグランド電圧GNDにリセットする。

【0087】

この実施例では、かかる構成により、入力端子INに入力されるパルス信号が立ち下がってから、直ちに次のパルス信号が入力される場合にも、遅延回路は、2つの連続するパルス信号の立ち上がりエッジをそれぞれ遅延させて出力するこ

とができる。

【0088】

一方、リセット回路を備えていない図1に示した前記実施例の遅延回路においては、入力信号の立ち下がりに対してその出力信号は、図3に、破線で示すように、遅延して出力され、入力信号の立ち下がりのタイミングから、この破線に対応するタイミングの間に、入力端子INに立ち上がり遷移を有する2番目のパルス信号が入力された場合、当該2番目のパルス信号の立ち上がりの直前でインバータINV1、INV2の出力部は、それぞれ、電源電圧VDD、グランド電圧GNDに設定されていず、2番目のパルス信号の立ち上がりエッジを、本来の遅延量分、遅延させて出力することができない場合がある。

【0089】

これに対して、本発明の第2の実施例の遅延回路においては、入力信号の立ち下がり、遅延パスとは独立したリセット回路により、インバータINV1、INV2の出力ノードをリセットしているため、遅延回路に先行のパルス信号が入力されてから次のパルス信号が入力されるまでの時間間隔の短縮を図っている。

【0090】

次に、本発明の第3の実施例について説明する。図4は、本発明の第3の実施例の構成を示す図である。図4を参照すると、この第3の実施例は、第1のインバータINV1の出力端に一端が接続された抵抗R1の他端と電源VDD間に接続されたPMOSキャパシタMP203と、抵抗R1の他端とグランド電源GND間に接続されたNMOSトランジスタMN203と、第2のインバータINV2の出力端に一端が接続された抵抗R2の他端と電源VDD間に接続されたPMOSキャパシタMP204と、抵抗R2の他端とグランド電源GND間に接続されたNMOSトランジスタNM204と、を備えている。

【0091】

本発明の第3の実施例では、前記実施例と同様、入力信号のlowレベルからhighレベルへの立ち上がりの遷移エッジに対する遅延パスが、電源電圧の低下に対して遅延時間が短縮するという逆感度特性を有することに加え、入力信号のhighレベルからlowレベルへの立ち下がりの遷移エッジに対しても、電

源電圧の低下に対して逆感度特性を有する遅延パスが用意されている。すなわち、入力信号の high レベルから low レベルへの立ち下りの遷移エッジに対して、インバータ INV1 の出力端に接続される抵抗 R1 と NMOS トランジスタ MN203、インバータ INV2 の出力端に接続される抵抗 R2 と PMOS トランジスタ MN204 の遅延パスにより、電源電圧の低下に対する遅延時間の増大を抑止している。

【0092】

そして、本発明の第3の実施例では、インバータ INV1 を構成する NMOS トランジスタ MN201 と PMOS トランジスタ MP201 はともに低い閾値電圧とされている。インバータ INV2 を構成する NMOS トランジスタ MN202 と PMOS トランジスタ MP202 も、ともに低閾値電圧とされている。

【0093】

本発明の第3の実施例は、かかる構成により、入力信号の立ち上がり、立ち下りのいずれの遷移に対しても、電源電圧 VDD の低下に対して、遅延時間は増大せずに短縮されるという逆感度特性（「逆特性」ともいう）を有する。

【0094】

次に、本発明の第4の実施例について説明する。図5は、本発明の第4の実施例の遅延回路の構成を示す図である。図5において、図4と同一の構成要素には、同一の参照番号が付されている。なお、図5では、インバータ4段の構成が示されているが、本発明はかかる構成に限定されるものではない。本発明の第4の実施例は、図4に示した前記第3の実施例の構成に対して、遅延パスとは別に、リセット回路を追加したものである。以下では、前記第4の実施例との相違点をなすリセット回路の構成について説明する。

【0095】

図5を参照すると、リセット回路は、高位側の電源 VDD と第1のインバータ INV1 の MOS トランジスタ MP201 のソースとに、ソースとドレインとがそれぞれ接続され、チップセレクト信号（CS[—]：low レベルでアクティブ）をゲートに入力する PMOS トランジスタ MP207 と、インバータ INV1 の出力端と抵抗 R2 の一端との接続点とグラウンド電源 GND とにドレインとソースが

それぞれ接続され、チップセレクト信号 ($CS^{\overline{}}$) をゲートに入力する NMOS トランジスタ MN207 と、インバータ INV2 の MOS トランジスタ MN202 とグランド電源 GND とにドレインとソースがそれぞれ接続され、チップセレクト信号の反転信号 (CS ; 信号 $CS^{\overline{}}$ を反転した信号) をゲートに入力する NMOS トランジスタ MN208 と、を備えている。後段のインバータ INV3、INV4 についても同様の構成とされる。

【0096】

次にリセット回路の動作について説明する。チップセレクト信号 ($CS^{\overline{}}$) が low レベルのとき、PMOS トランジスタ MP207 がオンし、インバータ INV1 が電源 VDD に接続され、NMOS トランジスタ MN208 がオンし、インバータ INV2 が電源 GND に接続される。チップセレクト信号 ($CS^{\overline{}}$) が low レベルから high レベルに遷移すると、PMOS トランジスタ MP207 がオフし、インバータ INV1 は電源 VDD と非導通とされ、NMOS トランジスタ MN208 がオフし、インバータ INV2 が電源 GND と非導通とされる。このとき、NMOS トランジスタ MN207 がオンし、インバータ INV1 の出力はグランド電圧とされる。インバータ INV3 とインバータ INV4 の組も、インバータ INV1 とインバータ INV2 の組と同様にリセットされる。

【0097】

次に、本発明の半導体記憶装置の実施例について説明する。図6は、本発明の半導体記憶装置の第1の実施例の構成を示す図である。

【0098】

図6を参照すると、この半導体記憶装置は、アドレス信号、データ信号、制御信号等を入力とし、データ等を出力する周辺回路部10と、セルコア部（周辺回路を除くメモリセルコア部）20とを備えている。セルコア部20のワード線とビット線の交差部にメモリセル200を備えている。メモリセル200は1トランジスタ-1キャパシタ構成とされ、ゲートがワード線201に接続され、ソースとドレインの一方がビット線202に接続されたNMOS トランジスタ203をセルトランジスタとして備え、トランジスタ203のドレインとソースの他方は、容量204の一端に接続され、容量204の他端は、例えばハーフVCC方

式に従って $1/2 VDD$ (電源電圧の $1/2$) に接続されている。なお、容量 204 の他端をグランド電源に接続してもよいことは勿論である。

【0099】

この発明の半導体記憶装置の一実施例において、周辺回路部 10 の遅延回路 11 は、例えば前記第 1 乃至第 4 の実施例の構成が用いられる。すなわち、周辺回路部 10 からセルコア部 20 に供給される制御信号の立ち上がり（あるいは立ち下り）の遷移タイミング、あるいは、制御信号のパルス幅を規定する立ち下り（あるいは立ち上がり）の遷移タイミングを生成するための遅延信号を出力する遅延回路は、電源電圧の低下に対して遅延時間が減少する逆感度特性を示す遅延回路からなる。

【0100】

遅延回路 11 に入力される信号 ϕp と遅延回路 11 の出力を入力とする論理回路 12 の演算結果に基づき、例えば選択されたワード線 15 を駆動するワード線ドライバ 13 への入力信号が生成される。同様にして、メモリセルコア 20 のデータ線 16（ビット線）に接続されるセンスアンプ 14 の活性化を制御する信号、ビット線のプリチャージを制御する信号も、それぞれに用意されている遅延回路（不図示）の出力に基づき生成される。これらの遅延回路も、電源電圧の低下に対して遅延時間が減少する逆感度特性を示すものとされる。

【0101】

ワード線を駆動するドライバ 13 は、昇圧回路 40 からの昇圧電圧 V_{B00ST} で駆動され、ワード線ドライバ 13 に入力される信号がアクティブのとき、ワード線 15 を高電圧にドライブする。昇圧電圧 V_{B00ST} と電源電圧 VDD との差電圧が大きいほど、セルコア部 20 のメモリセルトランジスタ 203 は高速化するが、消費電流が増大する。したがって、このままでは、スタンバイ時の低消費電流化を図る構成には適さない場合がある。この実施例の半導体記憶装置では、後述するように、周辺回路部 10 やセルコア部 20 は、好ましくは、低電圧の電源電圧で駆動される。

【0102】

本発明の半導体記憶装置の一実施例においては、電源電圧に依存しない基準電

圧 V_{ref} を生成するリファレンス電源回路 30 と、基準電圧 V_{ref} に基づき電源電圧に依存しない昇圧電圧を生成するブースト回路 40 とを備えている。ブースト回路 40 からの昇圧電圧 V_{BOOST} がワード線ドライバ 13 に供給され、ワード線には、電源電圧に依存しない一定の昇圧電圧が供給される。

【0103】

昇圧電圧 V_{BOOST} を電源電圧の高低に依存しない定電圧としていることは、この実施例の半導体記憶装置の主たる特徴の 1 つをなしている。

【0104】

また、この実施例の半導体記憶装置において、周辺回路部 10 と、セルコア部 20、リファレンス電源 30、ブースト回路 40 には、電源電圧 V_{DD} が供給される。この実施例において、半導体記憶装置の電源端子に供給される電源電圧 V_{DD} は低電源電圧とされており、半導体記憶装置内部では、降圧した内部電源電圧 V_{INT} は用いていない。

【0105】

そして、図 6 に示すように、周辺回路部 10 とセルコア部 20 を低電圧の電源電圧 V_{DD} で駆動し、所望のアクセス速度を実現していることは、この実施例に係る半導体記憶装置の主たる特徴の 1 つをなしている。

【0106】

すなわち、この実施例の半導体記憶装置では、セルコア部 20 の低電源電圧で駆動する場合にも、セルコア部 20 のワード線 201 とビット線 202 の交差部の NMOS トランジスタ 203 において、選択されたワード線 201 に接続されるゲートには、電源電圧に依存しない一定電圧が供給されており、低電源電圧で駆動するときの昇圧電圧 V_{BOOST} と電源電圧 V_{DD} との差電圧は、大きく設定されることになる。

【0107】

この結果、この実施例の半導体記憶装置では、低電圧の電源電圧でセルコア部 20 を駆動している場合にも、メモリセルトランジスタ 203 の高速化が図られるとともに、セルトランジスタ 203 の出力に一端が接続されるセル容量 204 には、必要な書き込み電圧が印加されることになる。

【0108】

図9は、本発明に係る半導体記憶装置における昇圧電圧 V_{B00ST} と電源電圧 V_{DD} の関係を説明するための図である。図9に示すように、本発明に係る半導体記憶装置の実施例においては、昇圧電圧 V_{B00ST} は、電源電圧 V_{DD} の高低に依存せず一定とされ、電源電圧 V_{DD} が低電圧のとき、電源電圧 V_{DD} とのレベル差は、高い電源電圧で駆動するときよりも大きくなる。

【0109】

電源電圧 V_{DD} が高電圧のとき、昇圧電圧 V_{B00ST} と電源電圧 V_{DD} のレベル差は、高い電源電圧で駆動するときよりも小さくなるが、電源電圧の使用電圧範囲の上限において、昇圧電圧 V_{B00ST} として、電源電圧 $V_{DD} + V_t$ （ただし、 V_t はNMOSトランジスタの閾値電圧）程度あるいはこれ以上は確保されている。

【0110】

図6に示した実施例において、ロウアドレスをデコードし選択されたワード線を駆動するXデコーダ、カラムアドレスをデコードし選択されたビット線のYスイッチをオンするYスイッチセレクタ、ビット線電位を増幅するセンスアンプ14等からなる周辺回路10及びセルコア部20の電源電圧 V_{DD} が低電圧化された場合にも、メモリセルトランジスタのゲート等、セルコア部20に供給される昇圧電圧は、電源電圧に依存しない一定電圧が供給される。

【0111】

図7は、図6に示した非同期型のダイナミックRAMのタイミング動作を説明するための図である。メモリサイクルのアドレスの遷移が、図示されないアドレス遷移検知回路で検出され、ATD信号がアクティブとされ、このATD信号、アドレス信号のデコード結果、及び、メモリのアクセスを制御する図示されない制御信号（例えばチップ選択信号、ライトイネーブル信号）等に基づき、ロウアドレスを活性化させるストロブ信号 ϕ_p （エッジ、又はパルス信号）が生成される。図7のタイミング図において、例えばメモリサイクルの開始からワード線の立ち上がりまでの時間は、周辺回路部10のアクセス時間（遅延時間）とされ、それ以降は、セルコア部20のアクセス時間（遅延時間）とされる。

【0112】

論理回路12は、この信号 ϕp と、信号 ϕp を遅延回路11で遅延させた信号との論理演算（例えばAND演算）をとり演算結果を出力する。AND演算の場合、信号 ϕp の立ち上がりの遷移エッジと、その遅延信号の立ち上がりの遷移エッジでパルスの立ち上がりと立ち下りが規定される信号が出力される。この論理回路12の出力信号に基づき、ワード線ドライバ13は、ワード線を駆動し、ワード線の立ち上がり、あるいは、立ち下り（パルス幅）が制御される。同様に、ビット線16に読み出された信号を増幅するセンスアンプ14の活性化を制御する信号 ϕSE 、あるいは、図示されないYスイッチイネーブル信号、ビット線を $1/2 VDD$ にプリチャージする制御信号等が生成される。選択されたビット線の振幅の高位側はセンスアンプ14によって電源電圧 VDD にまで増幅される。またダイナミックランダムアクセスメモリのリフレッシュ動作は、センスアンプ14で読み出され増幅されたビット線の電圧がメモリセルへ書き戻されることで行われる。

【0113】

図6の遅延回路11に、前記第1乃至第4の実施例の構成を用いた場合、周辺回路部の電源電圧 VDD として低電圧の外部電源電圧を用いた場合、遅延回路11の遅延時間は、高い電源電圧で駆動した場合よりも短縮され、昇圧電圧レベルに駆動されたワード線の立ち上がり遷移タイミング、及びパルス幅の遅延、センスアンプ14の活性化信号 ϕSE のパルスの遷移タイミング、及びパルス幅等の遅延は増大せず、セルコア部のアクセス時間は短縮される。

【0114】

一方、周辺回路部10の一般の論理回路の遅延時間は、電源電圧の低下により増大する特性を有しており、周辺回路部10が低電圧の電源電圧 VDD で駆動されていることから、高い電源電圧で駆動する場合よりも、そのアクセス時間は、従来の技術で説明した通り、多少増大している。この結果、セルコア部20の遅延（増大）と周辺回路部10の遅延（短縮）とを合わせた総合の遅延時間 t_d は、低電圧の電源電圧 VDD で駆動した場合、その増加量は抑止されている。

【0115】

図 8 は、本発明の一実施例の昇圧電圧 V_{BOOST} の生成回路の構成を示す図である。図 8 を参照すると、図 6 のリファレンス電源回路 30 として、温度、電源電圧の変化によらずに一定の基準電圧 V_{ref} を出力するバンドギャップ・リファレンス (band-gap-reference) 回路 30 を備えている。バンドギャップ・リファレンス回路 30 は、基準電圧 V_{ref} として、例えば $V_{ref} = V_{BE} + K \times V_T$ (ただし、 K は定数、 V_{BE} はバイポーラトランジスタのベース・エミッタ間電圧、 $V_T (= kT/q)$ は熱電圧であり、 q は電子の単位電荷、 k はボルツマン定数、 T は絶対温度である) を出力する。そして、バンドギャップ・リファレンス回路 30 から出力される基準電圧 V_{ref} と、昇圧電圧 V_{BOOST} を分圧抵抗 R_{11} と R_{12} で分圧した電圧とを電圧比較するコンパレータ回路 41 と、コンパレータ回路 41 での比較結果を受け、分圧電圧が基準電圧 V_{ref} よりも小であることを比較結果が示している場合に、チャージポンプを充電し昇圧を行うブースト回路 40 とを備えている。ブースト回路 40 は電源電圧 V_{DD} に依存しない基準電圧 V_{ref} に基づき昇圧電圧を生成しており、このため、出力される昇圧電圧 V_{BOOST} は、電源電圧 V_{DD} の高低の変化に依存しない定電圧とされる。

【0116】

昇圧電圧 V_{BOOST} は、図 6 のワード線ドライバ 13 等の駆動電源電圧として供給され、選択されたワード線は電源電圧に依存しない昇圧電圧で駆動される。電源電圧 V_{DD} の低下に対して、ワード線に供給される電圧は、電源電圧 V_{DD} が高いときと同一に保たれ、電源電圧の低下によるメモリセルのアクセス速度の低下が抑止される。

【0117】

かかる構成により、本実施例の半導体記憶装置では、電源電圧に低位電圧動作時にも、選択ワード線等の昇圧電圧は電源電圧に依存せず一定とされている。このため、メモリセルのアクセス時間の増大は抑止されている。

【0118】

そして、本実施例では、基準信号から生成される制御信号の遅延時間、パルス幅等を決定する遅延回路は、低電圧動作時、図 11 に示すように、その遅延時間 t_{pd} は短縮する逆感度特性の傾向にある。この明細書では、電源電圧の低下に

対して遅延時間が短縮する特性を「逆特性」という。一方、電源電圧の低下に対して遅延時間が増大する特性を「順特性」という。その結果、低電圧時、セルコア部 20 の遅延時間は短縮する。低電圧時に遅延時間の増大する一般論理系の周辺回路部 10 の遅延時間を増大しても、セルコア部 20 の遅延時間の縮減により、両方を合わせた遅延時間の増大は抑止されている。

【0119】

比較例として、本発明の構成をとらず、昇圧電圧が電源電圧に依存する、従来の回路の場合、低電圧動作で、セルコア部に供給される昇圧電圧が低下し、アクセス時間は遅くなり、また、制御信号の遷移タイミング、パルス幅も遅れるため、遅延時間は遅くなる。そして、低電圧時に遅延時間の増大する一般論理系の周辺回路部 20 の遅延時間の増大と、セルコア部 10 の遅延時間の増加により、両方を合わせた遅延時間は著しく増大している。この比較例の遅延時間と電源電圧 VDD との関係は、図 10 の破線（「従来」）に示されている。なお、図 10 において、横軸は電源電圧、縦軸は伝搬遅延時間である。

【0120】

これに対して、本発明では、電源電圧 VDD の低下に対して、セルコア部での遅延時間が短縮し、図 10 の実線（「本発明」）に示すように、従来方式と比べて、遅延時間の増大は抑制されている。

【0121】

図 12 は、本発明と、比較例として本発明の構成をとらない従来方式のメモリの構成における、電源電圧の高低（横軸）とアクセス時間（縦軸）との関係を図式化して示すものである。

【0122】

メモリは、セルコア部（セルアレイ）と周辺部からなるものとする。本発明において、周辺部には、電源電圧と遅延時間特性の逆特性（図 11 参照）を示す遅延回路（図 6 の 11）が含まれており、この遅延回路 11 によりセルコア部 20 の制御信号の遅延が制御されるものとする。また昇圧電圧は、電源電圧に依存せず一定であるものとする。

【0123】

本発明の構成をとらない従来方式のメモリでは、電源電圧VDDが高くなると、昇圧電圧VB00STも上昇しており、セルコア部と周辺回路部はともに高速化し、全体のアクセス時間は短縮し、動作速度は高速化する（図12のH2）。

【0124】

一方、電源電圧VDDが低くなると、昇圧電圧VB00STも低くなり、さらに、遅延回路の遅延時間は、図11に順特性として示すように、電源電圧の低下により増大するため、制御信号の遅延も増大する。このため、セルコア部のアクセス速度の低下は著しく、周辺回路の論理回路の動作速度も低下し、全体のアクセス時間は、高い電源電圧の場合と比較して著しく遅くなる（図12のL1）。

【0125】

本発明の半導体記憶装置では、電源電圧VDDが高くなっても、昇圧電圧VB00STは一定であり、電源電圧VDDとの差電圧は小さくなる。セルコア部の制御信号は、該制御信号のタイミングを生成する遅延回路の逆特性により、その遅延は、低電圧駆動の場合よりも、多少増大している。このため、セルコア部のアクセス時間は、低電圧駆動の場合よりも、若干増大する（図12のH2のハッチングを施した部分）。また、セルコア部のアクセス時間は、比較例H1のアクセス時間よりも遅い。

【0126】

一方、電源電圧VDDが高い場合、周辺回路部は高速化し、周辺回路部とセルコア部との遅延の合計で全体のアクセスが決められる。この場合、本発明の構成をとらない比較例H1よりも、アクセス時間は長くなっている（図12のH2）。

【0127】

本発明においては、低電圧駆動により、電源電圧が低くなると、昇圧電圧は一定であり、制御信号は逆特性により、遅延時間は、高電圧駆動の場合よりも減少するため、セルコア部のアクセス時間は、高電圧駆動の場合（H2）よりも、減少している。これが、本発明の大きな特徴の1つである。

【0128】

低電圧駆動により、周辺回路部の論理回路の動作速度は低下し、アクセス速度

は増大するが、セルコア部と周辺回路部との全体のアクセス時間は、高電源電圧の場合と比較して、わずかに遅くなるだけである。比較例のように低電圧動作により、アクセス時間が特段に遅くなることが回避され、低消費電力化を図りながら、一定のアクセス速度を実現している。

【0 1 2 9】

本発明においては、セルコア部を低電源電圧、周辺回路部を低電源電圧で駆動する電源供給形態以外にも、後述するように、セルコア部を低電源電圧、周辺回路部を高電源電圧で駆動してもよい。この場合、逆特性の遅延回路は、低電源電圧で駆動される。

【0 1 3 0】

本発明の半導体装置の設計方式は、バッテリー駆動による低電源電圧駆動、低消費電力化を実現するメモリに用いて好適である。

【0 1 3 1】

また低電源電圧によってもセルコア部の制御信号の遅延量が増大しないため、スタンバイ状態等で自動リフレッシュ動作を行うメモリに用いた場合に、リフレッシュ時間の短縮を実現しており、アクセス、メモリサイクルの高速化を実現している。

【0 1 3 2】

より詳細には、携帯機器に搭載され、スタティク R A M に外部仕様が準拠しているダイナミック R A M (「疑似 S R A M」ともいう) に、本発明を実施した場合、スタイバイ動作時のプロセッサからメモリへのアクセスの時間の短縮を図ることができる。プロセッサあるいはコントローラは、このメモリを、S R A M として扱うため、その制御は、ダイナミック R A M のリフレッシュ動作等には関知しない。ダイナミック R A M は、ダイナミック R A M 内で定期的に自動リフレッシュを行う。プロセッサあるいはコントローラからのメモリアクセスとダイナミック R A M 内のリフレッシュとが重なった場合、リフレッシュが行われ、その後、該当セルのメモリアクセスが行われる。この場合、本実施例において、リフレッシュ動作における、ビット線のプリチャージ開始とその停止を制御する信号、選択ワード線の立ち上がりと立ち下がり制御する信号、センスアンプの活性

化を制御する信号の遷移エッジのタイミング及びパルス幅等の各時間は、低電源電圧動作でも増大せず、逆に短縮する。この結果、リフレッシュ動作時間は短縮し、消費電流の縮減が図られ、後続のアクセスの待ち時間が短縮され、アクセス速度が向上する。

【0133】

次に、本発明のさらに別の実施例について説明する。図1乃至図5、図6等にした各実施例では、電源電圧VDDが低電圧化されているため、電源電圧を降圧せずに、そのまま半導体装置内部の電源電圧として用いている。しかしながら、本発明はかかる構成に限定されるものでないことは勿論である。図13は、本発明の遅延回路の第5の実施例の構成を示す図である。図13において、図1と同一の要素には同一の参照符号が付されている。図13を参照すると、この実施例は、電源端子に供給される電源電圧VDDを、降圧回路（内部電源レギュレータ）50で降圧して降圧電源電圧（内部電源電圧）VINTを生成し、降圧した電源電圧VINTを、インバータINV1、INV2の高位側の電源電圧として供給している。内部電源電圧VINTが低電圧の場合にも、この遅延回路は、入力信号の立ち上がりエッジの遅延時間を、電源電圧VDDで駆動する場合よりも、短縮することができる。このため、スタンバイ等、低電源電圧駆動時の消費電流を縮減することができる。

【0134】

図14は、本発明の半導体記憶装置の別の実施例の構成を示す図である。図6にした実施例では、周辺回路部10とセルコア部20が電源電圧VDDで駆動されている。これに対して、本実施例は、2電源系方式とされ、周辺回路部10には、半導体記憶装置の電源端子に外部から供給される電源電圧VDDがそのまま供給され、セルコア部20には、電源電圧VDDを降圧回路（内部電源レギュレータ）50で降圧した内部電源電圧VINTを供給している。昇圧電圧VB00STを生成するリファレンス電源30、ブースト回路40にも、内部電源電圧VINTが供給される。

【0135】

この実施例において、遅延回路11Aは、図13にした構成とされるか、あ

るいは、図 2、図 3、図 4 等に示した構成において高位側の電源電圧を、内部電源電圧 V_{INT} としたものである。信号 ϕ_p は、周辺回路部 10A と別電源系の遅延回路 11A（電源電圧と遅延時間は図 11 の逆特性を有する）に供給され、遅延回路 11A の出力信号が、電源電圧 V_{DD} 系の周辺回路部 10 内の論理回路 12A に入力される。

【0136】

この実施例では、周辺回路部 10A は、内部電源電圧 V_{INT} よりも高い電源電圧 V_{DD} で駆動されるため、周辺回路部 10A のアクセス速度を高速化している（ただし、消費電流は増す）。

【0137】

また、この実施例では、逆特性を有する遅延回路 11A を内部電源電圧 V_{INT} で駆動して遅延時間を電源電圧 V_{DD} で駆動する場合よりも短縮している。

【0138】

さらに、この実施例では、セルコア部 20 を内部電源電圧 V_{INT} で駆動することで、低消費電力化を図っている。

【0139】

この実施例でも、セルコア部 20 に供給される昇圧電圧は電源電圧に依存しない一定電圧が供給される。


【0140】

以上本発明を上記実施例に即して説明したが、本発明は、上記実施例に限定されるものでなく、特許請求の範囲の各請求項の範囲内で当業者であればなし得るであろう各種変形、修正を含むことは勿論である。本発明に係る半導体装置は、例えば周辺回路とダイナミック RAM の構成にのみ限定されるものでない。遅延時間の増大が抑制されるべきパスに挿入される遅延回路として電源電圧依存性の逆特性を有する遅延回路を備え、電源電圧依存性の順特性を有する他の論理回路とを含む半導体装置を低電圧動作させるようにしてもよい。

【0141】

【発明の効果】

以上説明したように、本発明の遅延回路及び遅延制御方法によれば、インバー



タの出力部に抵抗の一端を接続し、抵抗の他端と電源間にインバータの出力の電源側から他の論理への遷移の応じて容量値が小から大に変化する容量素子を備えたことにより、低電圧の電源電圧で駆動するときに、遅延回路の遅延時間の増大を抑止、低減している。本発明によれば、遅延回路を低電源電圧で駆動する場合に、高電源電圧で駆動する場合よりも、遅延回路の遅延時間を短縮させることができる、という効果を奏する。

【0142】

本発明の遅延回路によれば、インバータの出力部に抵抗の一端を接続し、抵抗の他端と電源間にインバータの出力の電源側から他の論理への遷移に応じて、オフからオンするMOSキャパシタを備え、このインバータの出力部をリセットする回路を備えたことにより、遅延回路への入力パルス列のパルス間隔にタイミング余裕を与え、タイミング設計の自由度を広げている。

【0143】

また、本発明の半導体装置によれば、低い電源電圧で駆動したときに、遅延回路によって生成されるエッジ、パルス幅の信号の遅延時間の増大が抑止され、消費電力の低下を図りながら、動作速度の低減を抑止することができる、という効果を奏する。

【0144】

本発明の半導体記憶装置によれば、昇圧電圧を電源電圧に依存しない定電圧としたことにより、セルコア部を低い電源電圧で駆動したときに、メモリセルアレイでの正常動作を確保しながら、その遅延の増大を防止し、消費電力の低下を図りながら、アクセス速度の低減を抑止することができる、という効果を奏する。

【0145】

本発明の半導体記憶装置によれば、低い電源電圧で駆動したときに、遅延回路の遅延信号に基づき生成される制御信号の遷移エッジの遅延時間の増大が抑止され、セルコア部の遅延の増大を抑止し、消費電力の低下を図りながら、アクセス速度の低減を抑止することができる、という効果を奏する。

【0146】

さらにまた、本発明の半導体記憶装置によれば、周辺回路を高電源電圧で駆動

し、セルコア部を低電源電圧駆動し、遅延回路をその遅延時間を短縮させる電源電圧で駆動し、昇圧電圧を電源電圧に依存しない定電圧としたことにより、セルコア部を低電源電圧駆動した場合の遅延の増大を抑止し、周辺回路部を高速動作させることで、消費電力の低下を図りながら、アクセスの高速化を達成している。

【0147】

このように、本発明によれば、アクセスの高速化と、スタンバイ電流の減少等の低消費電力化の要請に応じて、周辺回路とセルコア部を低電源電圧駆動とするか、あるいは、周辺回路を高電源電圧駆動としセルコア部を低電源電圧駆動する等、駆動電源、消費電力の組合せの最適化を図ることができる。

【図面の簡単な説明】

【図1】

本発明の遅延回路の一実施例の構成を示す図である。

【図2】

本発明の遅延回路の第2の実施例の構成を示す図である。

【図3】

本発明の遅延回路の第2の実施例のタイミング動作を説明するための図である。

【図4】

本発明の遅延回路の第3の実施例の構成を示す図である。

【図5】

本発明の遅延回路の第4の実施例の構成を示す図である。

【図6】

本発明の半導体記憶装置の一実施例の構成を示す図である。

【図7】

本発明の半導体記憶装置の一実施例のタイミング動作を説明するための図である。

【図8】

本発明の半導体記憶装置の一実施例における昇圧電圧の発生回路の構成の一例

を示す図である。

【図 9】

本発明の半導体記憶装置において、電源電圧を可変させたときの動作原理と、比較例として従来方式の半導体記憶装置の動作を説明するための図である。

【図 1 0】

本発明の半導体記憶装置において、電源電圧を可変させたときのアクセス時間と、比較例として従来方式の半導体記憶装置のアクセス時間を対比して説明するための図である。

【図 1 1】

本発明の遅延回路と、比較例として従来方式の遅延回路の遅延時間の電源依存性を対比して説明するための図である。

【図 1 2】

本発明の半導体記憶装置において、電源電圧を低電圧と高電圧としたときのアクセス時間と、比較例として従来方式の半導体記憶装置のアクセス時間を対比して説明するための図である。

【図 1 3】

本発明の遅延回路の第 5 の実施例の構成を示す図である。

【図 1 4】

本発明の半導体記憶装置の第 2 の実施例の構成を示す図である。

【図 1 5】

従来の遅延回路の構成の一例を示す図である。

【図 1 6】

配線抵抗と寄生容量からなる信号線を駆動する駆動回路の構成を模式的に示す図である。

【図 1 7】

特願 2 0 0 1 - 0 9 7 0 8 3 号に提案される遅延回路の一例を示す図である。

【図 1 8】

特願 2 0 0 1 - 0 9 7 0 8 3 号に提案される遅延回路の一例を示す図である。

【図 1 9】

図 1 に示す遅延回路と、図 15 の遅延回路の動作原理の相違を説明する図である。

【符号の説明】

10 周辺回路部

11、11A 遅延回路

12、12A 論理回路

13 ドライバ

14 センスアンプ

15 制御線（ワード線）

16 信号線

20 セルコア部（メモリセルアレイ）

30 リファレンス電源（バンドギャップリファレンス回路）

40 ブースト回路

41 比較回路

50 降圧回路

200 メモリセル

201 ワード線

202 ビット線

203 NMOS トランジスタ（セルトランジスタ）

204 キャパシタ（セル容量）

50 降圧回路

D ドライバ

C 寄生容量

INV1、INV2、INV3、INV4、INV01 インバータ

JV1～JV4、V11～V14 インバータ

MN101、MN102、MN103、MN104、MN201、MN202

、MN203、MN204、MN205、MN206、MN207、MN301

NMOS トランジスタ

MP101、MP102、MP103、MP104、MP201、MP202

、MP 2 0 3、MP 2 0 4、MP 2 0 5、MP 2 0 6、MP 2 0 7、MP 3 0 1

PMOS トランジスタ

N 1 1、N 1 2 NMOS キャパシタ

N 8 1、N 8 2 NMOS トランジスタ

J N 1 ~ J N 4 MOS キャパシタ

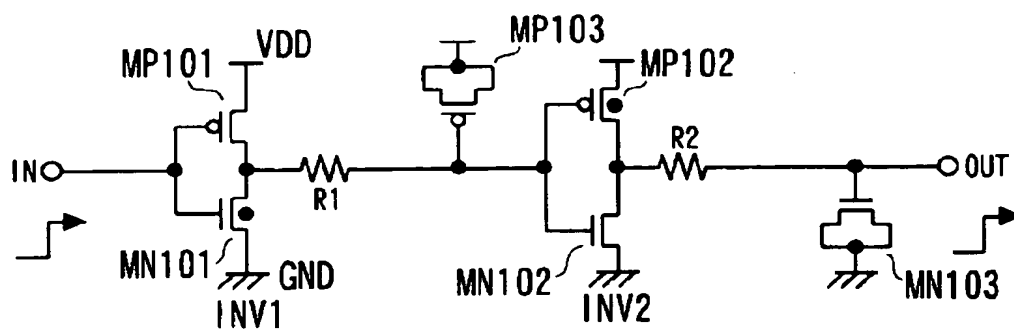
P 1 1、P 1 2 PMOS キャパシタ

P 8 1、P 8 2 PMOS トランジスタ

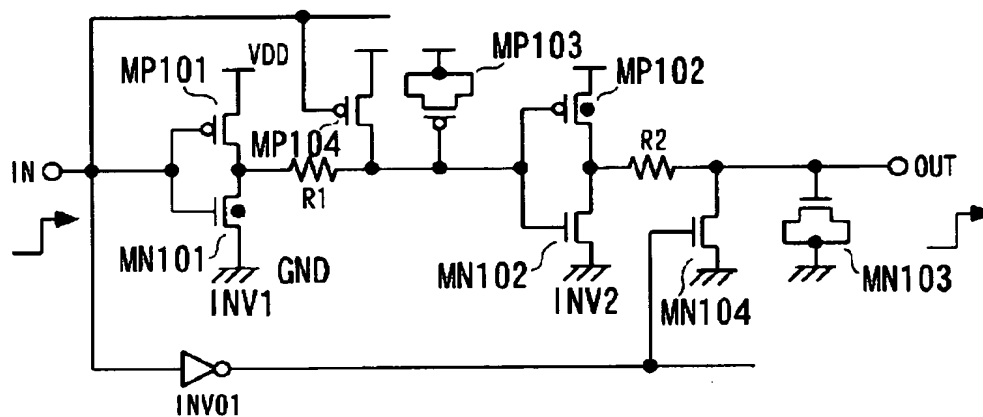
R、R 1、R 2、R 1 1、R 1 2 抵抗

【書類名】 図面

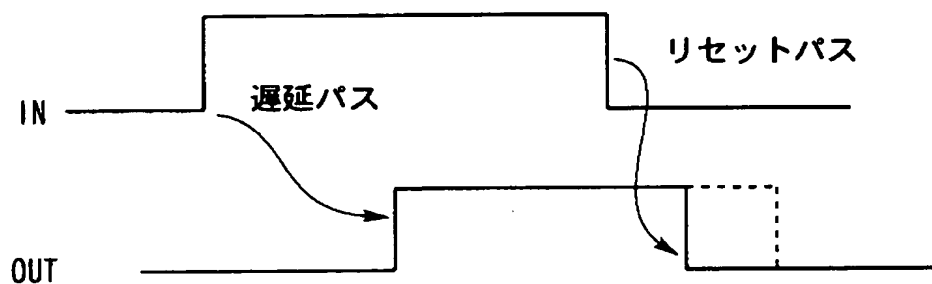
【図 1】



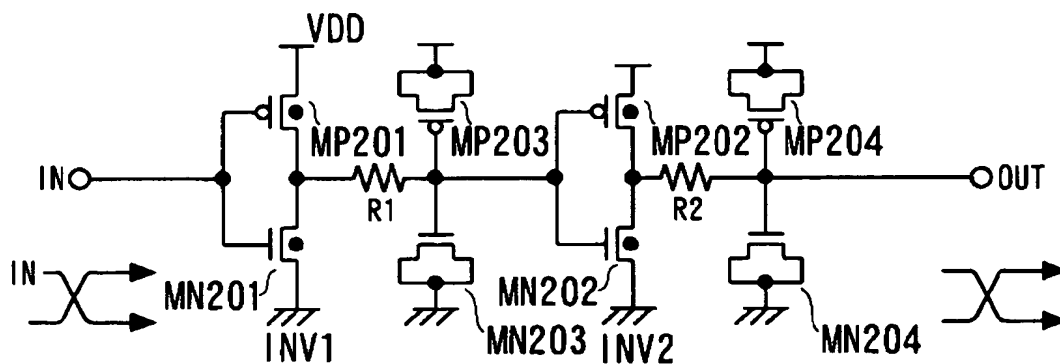
【図 2】



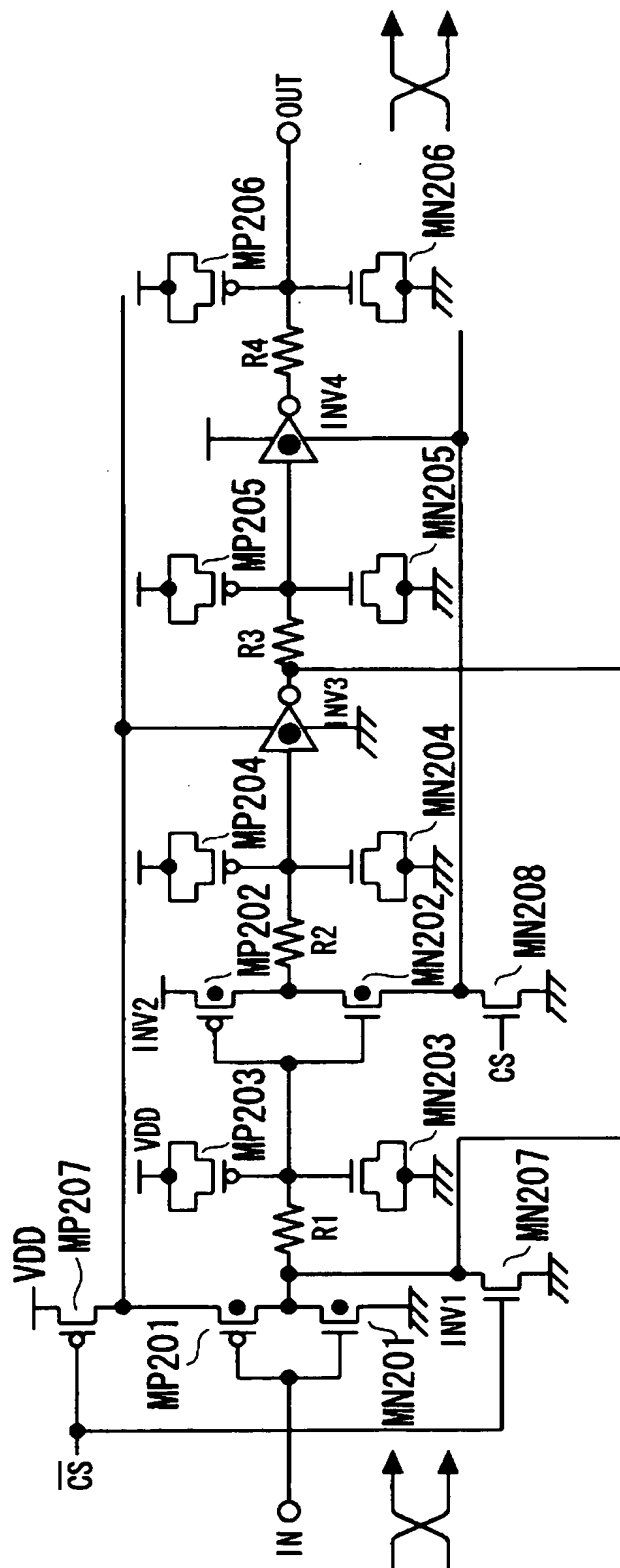
【図 3】



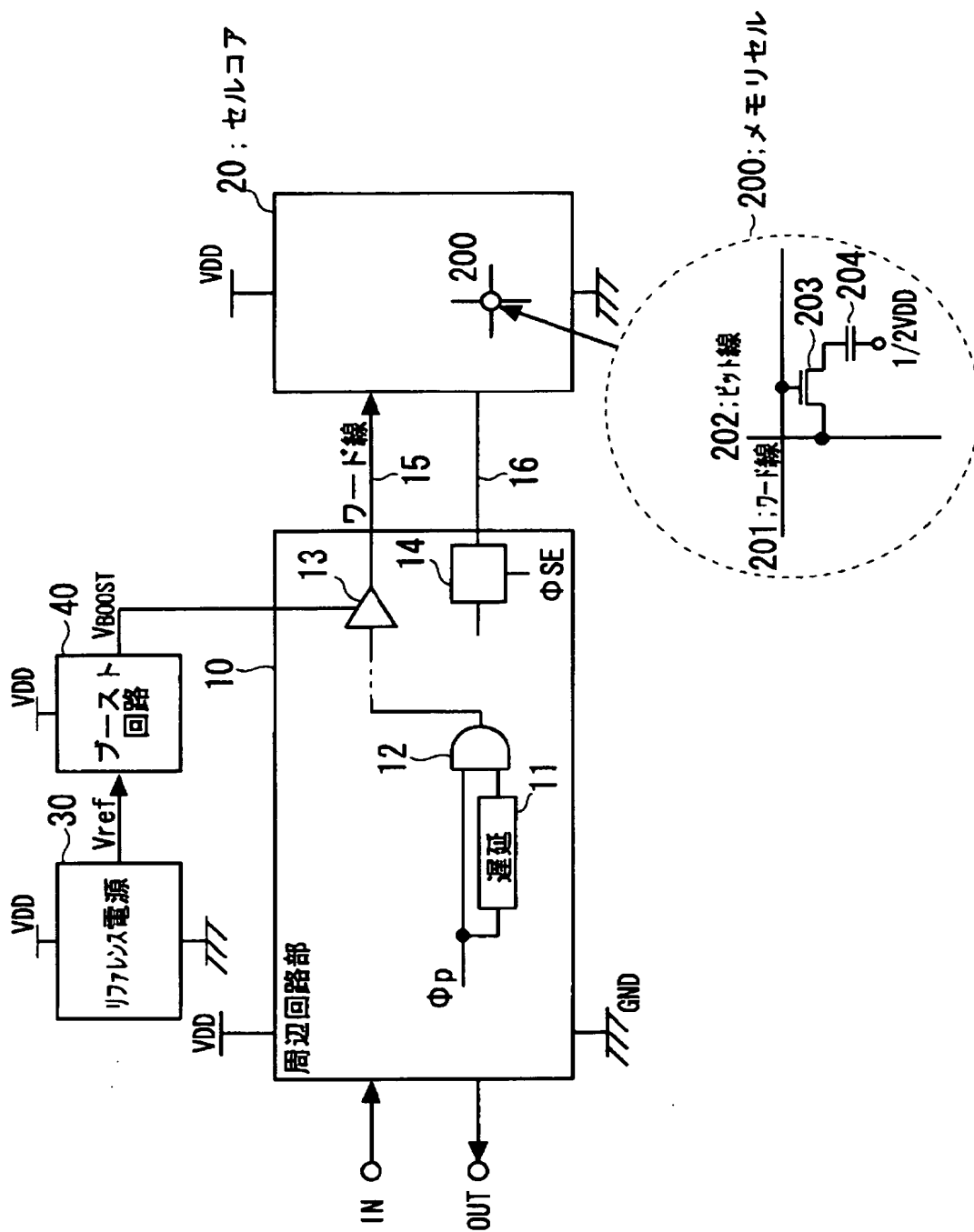
【図 4】



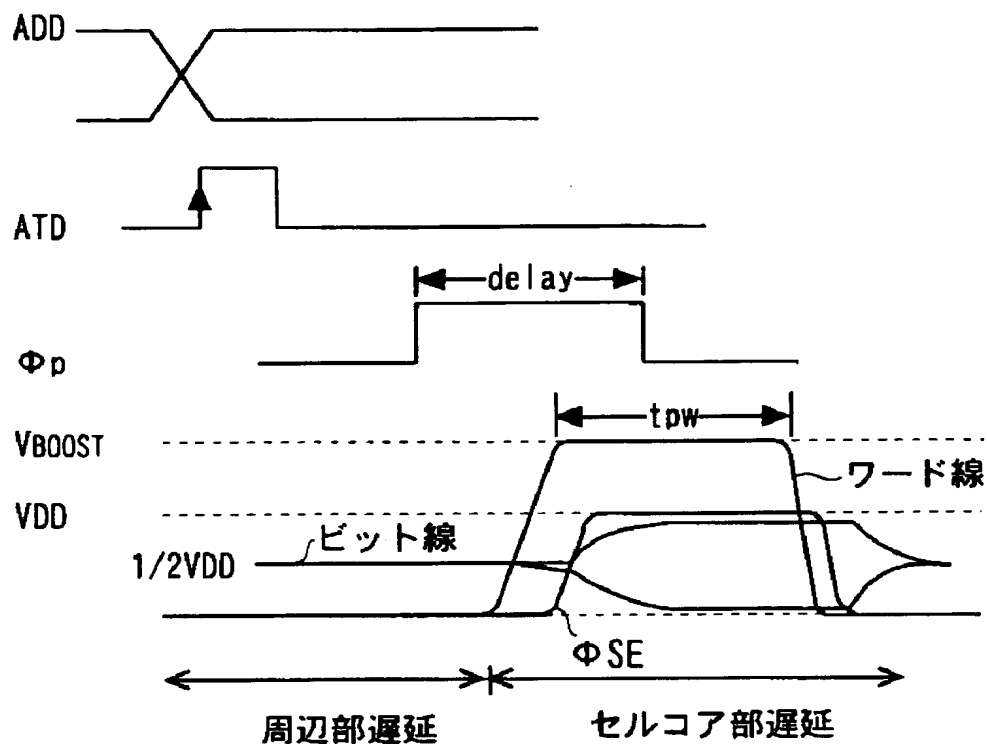
【図 5】



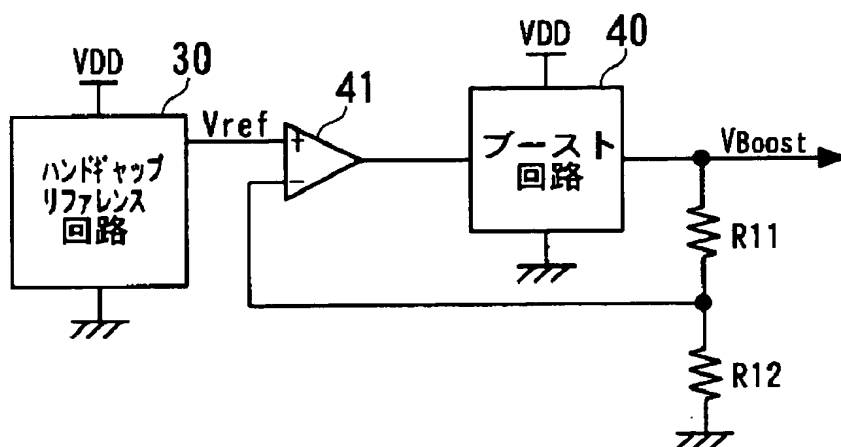
【図 6】



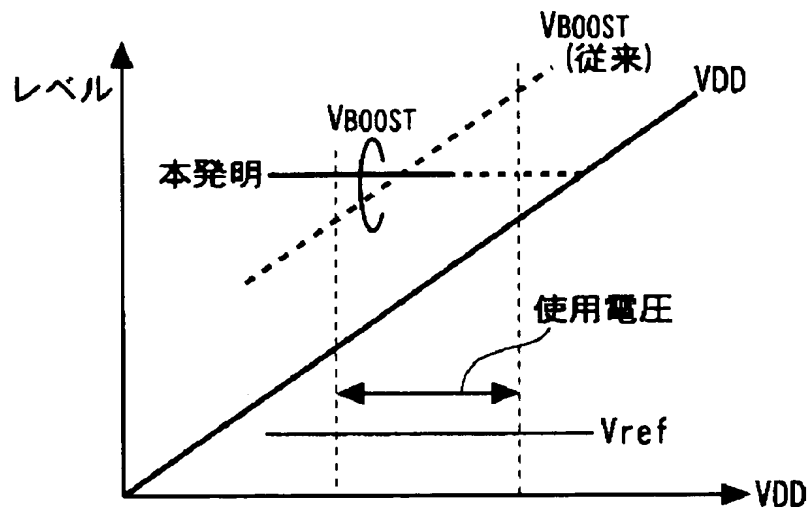
【図 7】



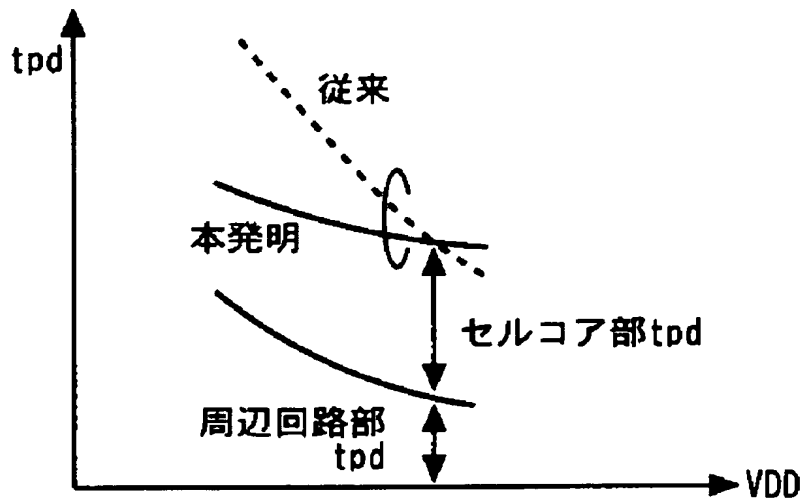
【図 8】



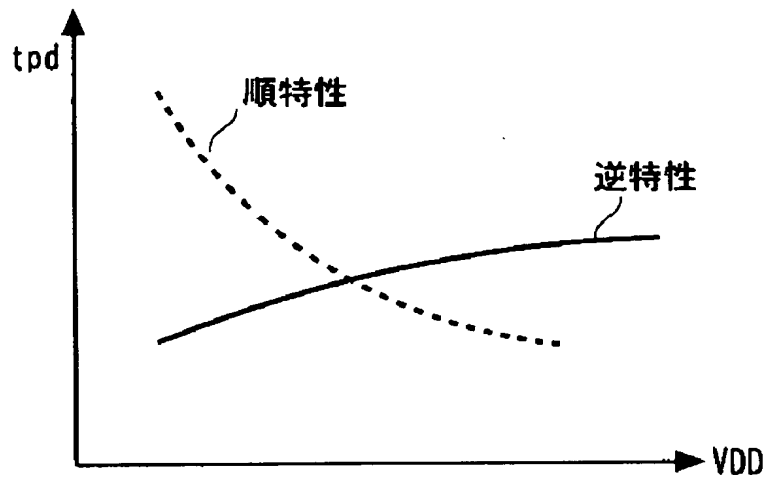
【図 9】



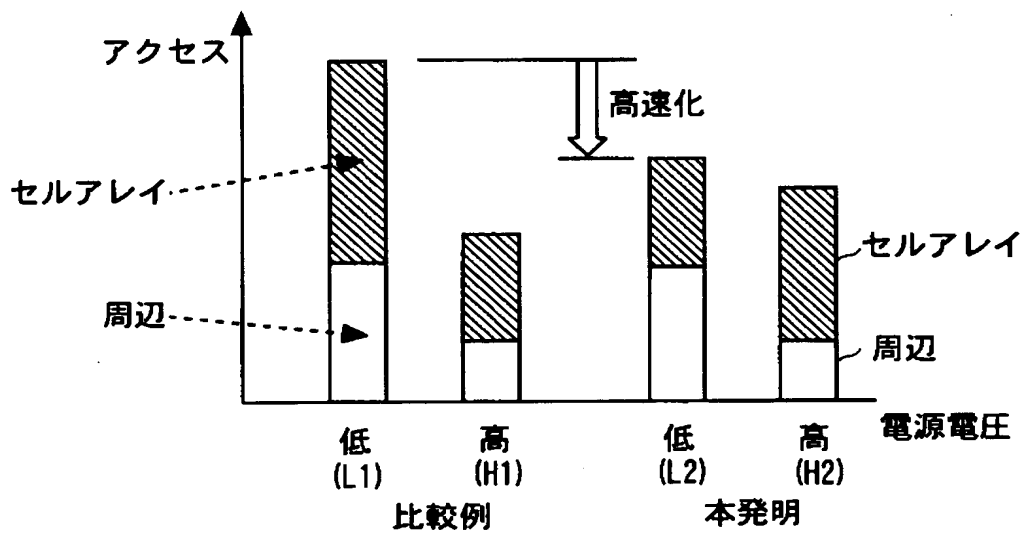
【図 10】



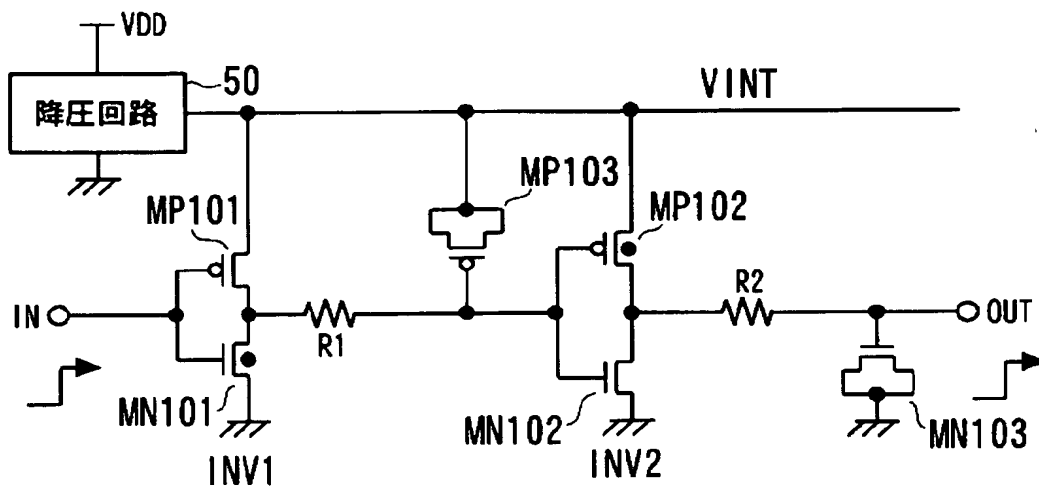
【図 1 1】



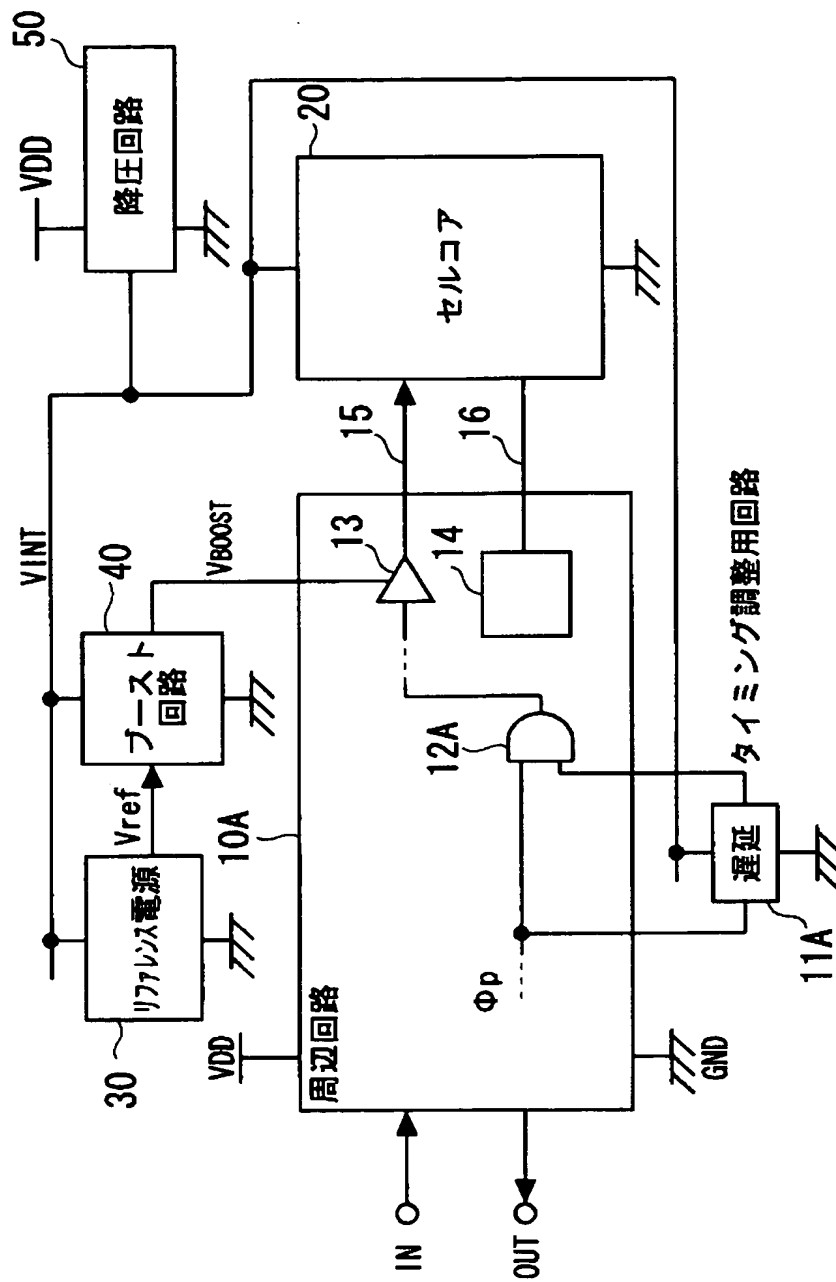
【図 1 2】



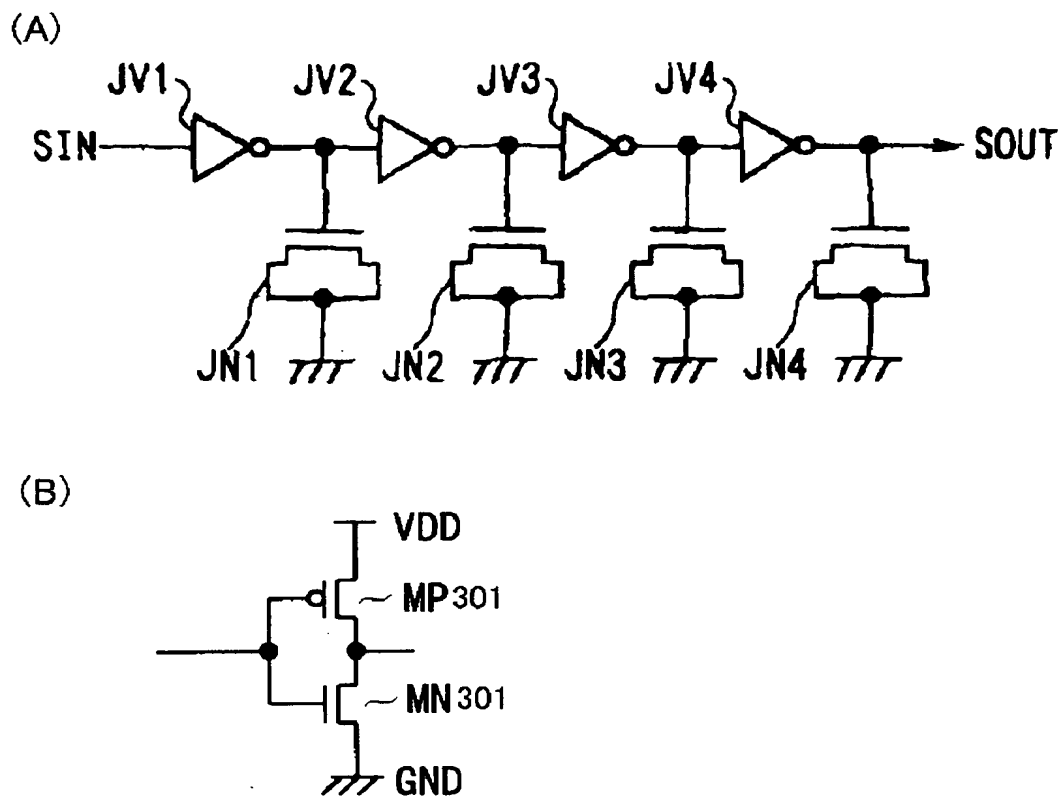
【図 13】



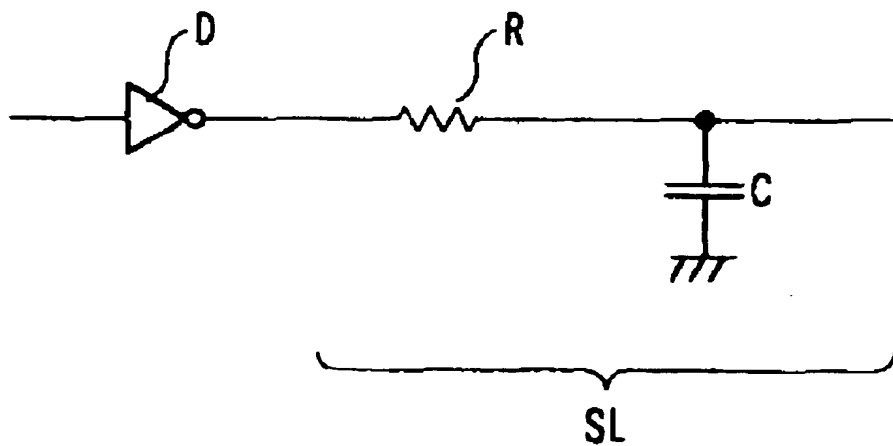
【図 14】



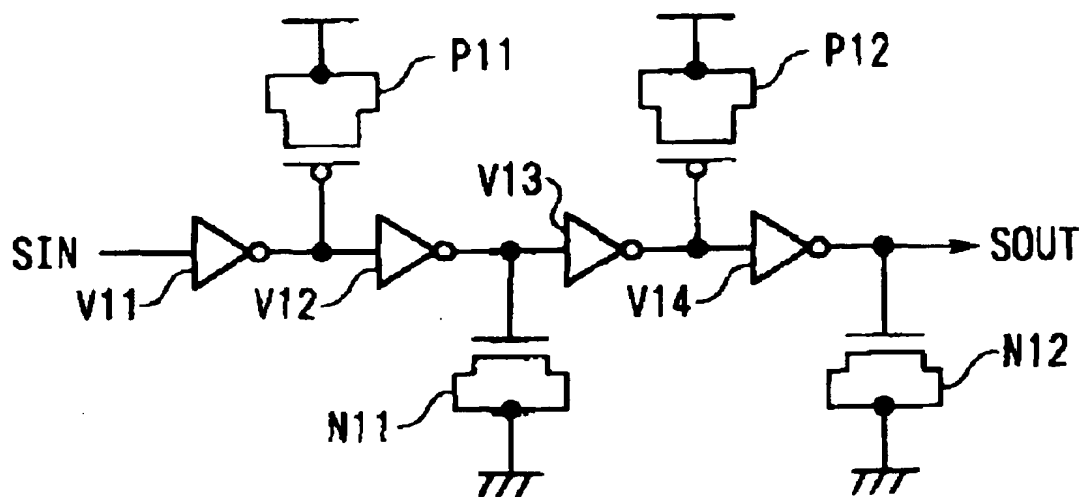
【図 15】



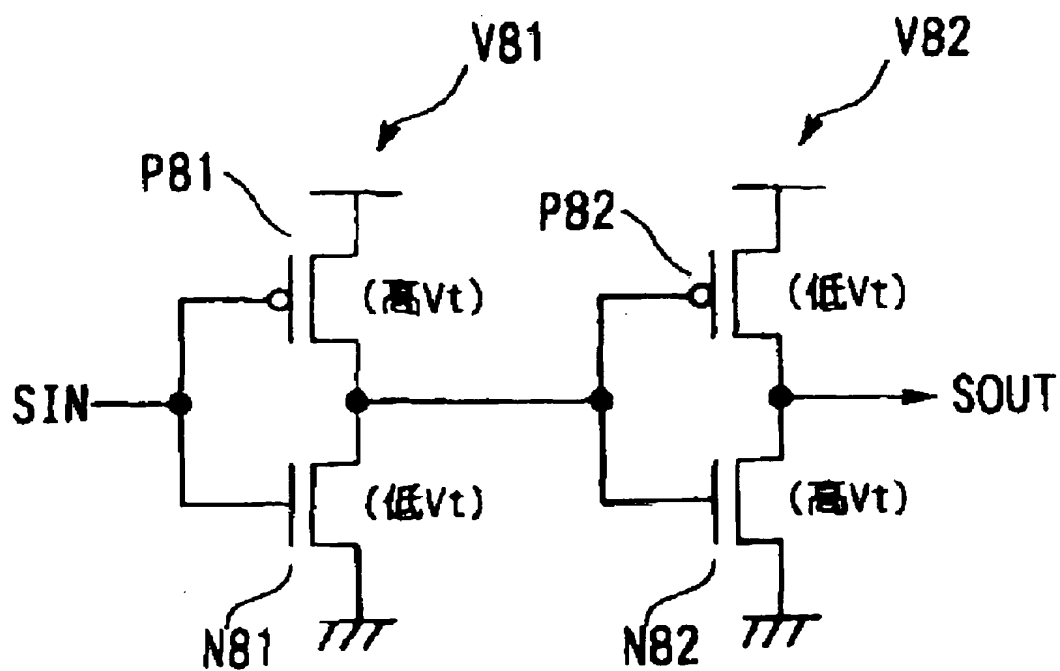
【図 16】



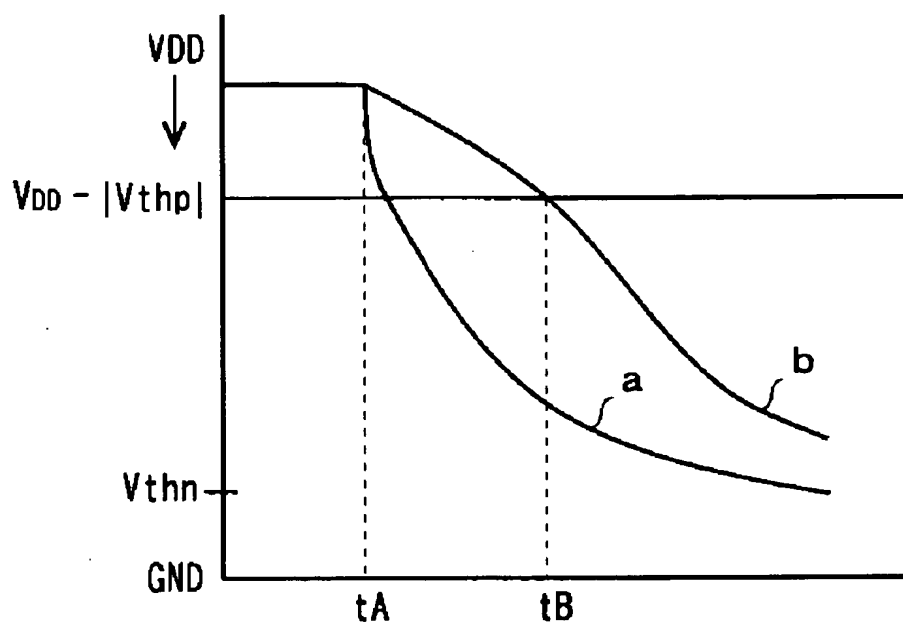
【図 17】



【図 18】



【図 19】



【書類名】 要約書

【要約】

【課題】

駆動電源電圧を低下させながら、セルコア部のアクセスを高速化させることで、低電圧化された電源電圧に対して、セルコア部と周辺回路との総合的なアクセス速度の低下を抑止した半導体記憶装置の提供。

【解決手段】

セルコア部 20 及びその周辺回路 10 を、相対的に低電圧の電源電圧 VDD で駆動し、セルコア部 20 のワード線等の制御信号に供給される昇圧電圧 VBOOST は、電源電圧 VDD に依存しない定電圧が供給され、周辺回路 10 からセルコア部 20 への制御信号の遷移タイミング、及び／又は、前記制御信号のパルス幅を規定する信号を生成する回路が、信号の遅延を、供給される電源電圧の低下に対して遅延時間が短縮するという特性を有する遅延回路 11 を用いて行う。

【選択図】

図 6

【書類名】 出願人名義変更届（一般承継）

【整理番号】 75010407

【提出日】 平成15年 1月23日

【あて先】 特許庁長官殿

【事件の表示】

【出願番号】 特願2002- 72953

【承継人】

【識別番号】 302062931

【氏名又は名称】 N E C エレクトロニクス株式会社

【承継人代理人】

【識別番号】 100080816

【弁理士】

【氏名又は名称】 加藤 朝道

【電話番号】 045-476-1131

【提出物件の目録】

【物件名】 承継人であることを証明する登記簿謄本 1

【援用の表示】 平成15年1月10日提出の特願2002-31848
8の出願人名義変更届に添付のものを援用する。

【物件名】 承継人であることを証明する書面 1

【援用の表示】 平成15年1月15日提出の平成9年特許願第2877
43号の出願人名義変更届に添付のものを援用する。

【包括委任状番号】 0216557

【プルーフの要否】 要

特願 2 0 0 2 - 0 7 2 9 5 3

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 4 2 3 7]

1. 変更年月日	1 9 9 0 年 8 月 2 9 日
[変更理由]	新規登録
住 所	東京都港区芝五丁目 7 番 1 号
氏 名	日本電気株式会社

特願 2 0 0 2 - 0 7 2 9 5 3

出 願 人 履 歴 情 報

識別番号 [3 0 2 0 6 2 9 3 1]

1. 変更年月日	2 0 0 2 年 1 1 月 1 日
[変更理由]	新規登録
住 所	神奈川県川崎市中原区下沼部 1 7 5 3 番地
氏 名	N E C エレクトロニクス株式会社

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.